

Docket No.: 60188-580

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Akinori SHIBAYAMA

Serial No.:

Group Art Unit:

Filed: July 16, 2003

Examiner:

For: SEMICONDUCTOR INTEGRATED CIRCUIT

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-206424, filed July 16, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT WILL & EMERY

Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: July 16, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

60188-580
A. SHIBAYAMA
July 16, 2003.
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月16日

出 願 番 号

Application Number:

特願2002-206424

[ST.10/C]:

[JP2002-206424]

出 願 人

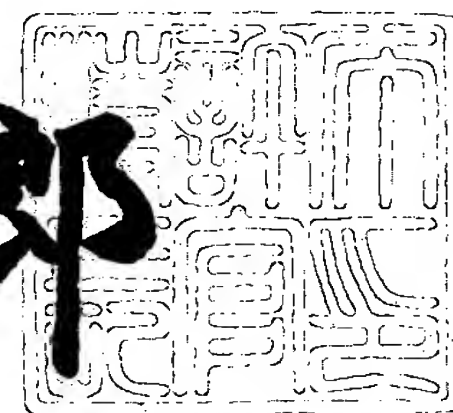
Applicant(s):

松下電器産業株式会社

2003年 4月15日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3026868

【書類名】 特許願

【整理番号】 5037630078

【提出日】 平成14年 7月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 柴山 晃徳

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 メモリと、

前記メモリに接続可能にされており、データ処理をそれぞれ行う複数のロジック部と、

前記複数のロジック部のうち少なくともいずれか 1 つを前記メモリに接続する一方、他のロジック部を前記メモリから切り離す切り離し部とを備えたことを特徴とする半導体集積回路。

【請求項 2】 請求項 1 記載の半導体集積回路において、

前記複数のロジック部は、互いに異なる機能を有するものであり、

前記切り離し部は、前記複数のロジック部のうち当該半導体集積回路に必要とされる機能を有するものを、前記メモリに接続するものであることを特徴とする半導体集積回路。

【請求項 3】 請求項 1 記載の半導体集積回路において、

前記複数のロジック部は、同一の機能を有するものであり、

前記切り離し部は、前記複数のロジック部のうち健全なものを、前記メモリに接続するものであることを特徴とする半導体集積回路。

【請求項 4】 請求項 1 記載の半導体集積回路において、

前記切り離し部は、前記メモリと前記複数のロジック部のそれぞれとの間に設けられた複数のフューズ回路を有するものであり、

前記他のロジック部に係る前記フューズ回路のフューズは、切断されていることを特徴とする半導体集積回路。

【請求項 5】 請求項 4 記載の半導体集積回路において、

前記フューズ回路におけるフューズの切断は、当該半導体集積回路の製造工程におけるメモリの冗長救済工程においてなされたものであることを特徴とする半導体集積回路。

【請求項 6】 請求項 1 記載の半導体集積回路において、

前記切り離し部は、前記メモリと前記複数のロジック部のそれぞれとの間に設けられた複数のアンチフューズ回路を有するものであり、

前記いずれか 1 つのロジック部に係る前記アンチフューズ回路のアンチフューズは、導通状態である一方、前記他のロジック部に係る前記アンチフューズ回路のアンチフューズは、非導通状態であることを特徴とする半導体集積回路。

【請求項 7】 請求項 1 記載の半導体集積回路において、

前記切り離し部は、前記メモリと前記複数のロジック部との間に設けられたスイッチ手段を有するものであり、

前記スイッチ手段は、前記各ロジック部について、与えられた制御信号に応じて、当該ロジック部と前記メモリとを接続する接続状態と、当該ロジック部と前記メモリとを切り離す切り離し状態とを、切替制御するものであることを特徴とする半導体集積回路。

【請求項 8】 請求項 7 記載の半導体集積回路において、

前記スイッチ手段は、前記メモリと前記複数のロジック部のそれぞれとの間に設けられ、前記制御信号に応じてそれぞれ開閉動作をする複数のトランジスタスイッチを有するものであり、

前記各トランジスタスイッチは、閉じることによって前記接続状態を実現する一方、開くことによって前記切り離し状態を実現するものであることを特徴とする半導体集積回路。

【請求項 9】 請求項 7 記載の半導体集積回路において、

前記制御信号を、前記接続状態および切り離し状態のいずれかに固定する制御信号固定手段を備えたことを特徴とする半導体集積回路。

【請求項 10】 請求項 7 記載の半導体集積回路において、

前記複数のロジック部のうち少なくとも 1 つは、

当該ロジック部が前記メモリにアクセス中であるか否かを判断し、この判断結果に基づいて、当該ロジック部について前記接続状態および切り離し状態のいずれかにするように、前記制御信号を出力する制御回路を有する

ことを特徴とする半導体集積回路。

【請求項 1 1】 請求項 7 記載の半導体集積回路において、

前記制御回路は、自己の属するロジック部が当該半導体集積回路に不要なものであるとき、当該ロジック部について前記切り離し状態にするように、前記制御信号を出力する

ことを特徴とする半導体集積回路。

【請求項 1 2】 請求項 7 記載の半導体集積回路において、

前記複数のロジック部のうち少なくとも 1 つは、

当該ロジック部以外のロジック部が非動作状態であると判断したとき、このロジック部について前記切り離し状態にするように、前記制御信号を出力する制御回路を有する

ことを特徴とする半導体集積回路。

【請求項 1 3】 請求項 7 記載の半導体集積回路において、

前記メモリは、前記複数のロジック部のうち少なくとも 1 つに要求信号を出力する要求信号発生回路を有するものであり、

前記少なくとも 1 つのロジック部は、

前記要求信号を受けたとき、当該ロジック部の動作状態を判断し、この判断結果に基づいて、当該ロジック部について前記接続状態および切り離し状態のいずれかにするように、前記制御信号を出力する制御回路を有するものである

ことを特徴とする半導体集積回路。

【請求項 1 4】 請求項 7 記載の半導体集積回路において、

前記各ロジック部の健全性を判定し、当該ロジック部に、この判定結果に基づいた判定信号を出力するテスト回路を備え、

前記複数のロジック部のうち少なくとも 1 つは、

前記判定信号を入力し、当該判定信号が、当該ロジック部が健全でないことを示すものであるとき、当該ロジック部について前記切り離し状態にするように前記制御信号を出力する制御回路を有するものである

ことを特徴とする半導体集積回路。

【請求項 1 5】 請求項 7 記載の半導体集積回路において、

前記各ロジック部の健全性を判定し、健全でないと判定したロジック部について前記切り離し状態にするように、前記制御信号を出力するテスト回路を備えたことを特徴とする半導体集積回路。

【請求項 1 6】 請求項 1 記載の半導体集積回路において、
前記切り離し状態にあるロジック部を、当該ロジック部に供給されている電源から切り離す電源切り離し手段を備えたことを特徴とする半導体集積回路。

【請求項 1 7】 請求項 1 記載の半導体集積回路において、
前記切り離し状態にあるロジック部に供給されている電源電圧と当該ロジック部の基板電圧との差が小さくなるように、当該基板電圧を変更する基板電圧変更手段を備えたことを特徴とする半導体集積回路。

【請求項 1 8】 請求項 1 記載の半導体集積回路において、
前記切り離し部は、前記複数のロジック部のうち当該半導体集積回路において使用される使用ロジック部を、順次切り替えて、前記メモリに接続する一方、前記使用ロジック部以外である不使用ロジック部を前記メモリから切り離すものであることを特徴とする半導体集積回路。

【請求項 1 9】 請求項 1 8 記載の半導体集積回路において、
前記各ロジック部は、前記メモリ内の出力回路に共通に接続可能にされたものであり、
前記切り離し部は、前記出力回路と前記各ロジック部との間に設けられ、前記使用ロジック部を前記出力回路に接続する一方、前記不使用ロジック部を前記出力回路から切り離すものであることを特徴とする半導体集積回路。

【請求項 2 0】 請求項 1 8 記載の半導体集積回路において、
前記メモリは、前記複数のロジック部にそれぞれ対応する複数の出力回路を有するものであり、
前記各ロジック部は、前記対応する出力回路を介して、前記メモリ内のアンプ

回路に共通に接続可能にされたものであり、

前記切り離し部は、前記アンプ回路と前記対応する出力回路との間に設けられ、前記使用ロジック部を前記アンプ回路に接続する一方、前記不使用ロジック部を前記アンプ回路から切り離すものであることを特徴とする半導体集積回路。

【請求項 2 1】 請求項 1 8 記載の半導体集積回路において、

前記メモリは、前記複数のロジック部にそれぞれ対応する複数の出力回路および複数のアンプ回路を有するものであり、

前記各ロジック部は、前記対応する出力回路およびアンプ回路を介して、前記メモリ内のプリアンプ回路に共通に接続可能にされたものであり、

前記切り離し部は、前記プリアンプ回路と前記対応するアンプ回路との間に設けられ、前記使用ロジック部を前記プリアンプ回路に接続する一方、前記不使用ロジック部を前記プリアンプ回路から切り離すものであることを特徴とする半導体集積回路。

【請求項 2 2】 請求項 1 8 記載の半導体集積回路において、

前記メモリは、前記複数のロジック部にそれぞれ対応する複数の出力回路、複数のアンプ回路および複数のプリアンプ回路を有するものであり、

前記各ロジック部は、前記対応する出力回路、アンプ回路およびプリアンプ回路を介して、前記メモリ内のセンスアンプ回路に共通に接続可能にされたものであり、

前記切り離し部は、前記センスアンプ回路と前記対応するプリアンプ回路との間に設けられ、前記使用ロジック部を前記センスアンプ回路に接続する一方、前記不使用ロジック部を前記センスアンプ回路から切り離すものであることを特徴とする半導体集積回路。

【請求項 2 3】 請求項 1 8 記載の半導体集積回路において、

前記各ロジック部は、前記メモリ内の入力回路に共通に接続可能にされたものであり、

前記切り離し部は、前記入力回路と前記各ロジック部との間に設けられ、前記使用ロジック部を前記入力回路に接続する一方、前記不使用ロジック部を前記入

力回路から切り離すものである

ことを特徴とする半導体集積回路。

【請求項 2 4】 請求項 1 8 記載の半導体集積回路において、

前記メモリは、前記複数のロジック部にそれぞれ対応する複数の入力回路を有するものであり、

前記各ロジック部は、前記対応する入力回路を介して、前記メモリ内のライトアンプ回路に共通に接続可能にされたものであり、

前記切り離し部は、前記ライトアンプ回路と前記対応する入力回路との間に設けられ、前記使用ロジック部を前記ライトアンプ回路に接続する一方、前記不使用ロジック部を前記ライトアンプ回路から切り離すものである

ことを特徴とする半導体集積回路。

【請求項 2 5】 請求項 1 8 記載の半導体集積回路において、

前記メモリは、前記複数のロジック部にそれぞれ対応する複数の入力回路および複数のライトアンプ回路を有するものであり、

前記各ロジック部は、前記対応する入力回路およびライトアンプ回路を介して、前記メモリ内のライトバッファ回路に共通に接続可能にされたものであり、

前記切り離し部は、前記ライトバッファ回路と前記対応するライトアンプ回路との間に設けられ、前記使用ロジック部を前記ライトバッファ回路に接続する一方、前記不使用ロジック部を前記ライトバッファ回路から切り離すものであることを特徴とする半導体集積回路。

【請求項 2 6】 請求項 1 8 記載の半導体集積回路において、

前記メモリは、前記複数のロジック部にそれぞれ対応する複数の入力回路、複数のライトアンプ回路および複数のライトバッファ回路を有するものであり、

前記各ロジック部は、前記対応する入力回路、ライトアンプ回路およびライトバッファ回路を介して、前記メモリ内のセンスアンプ回路に共通に接続可能にされたものであり、

前記切り離し部は、前記センスアンプ回路と前記対応するライトバッファ回路との間に設けられ、前記使用ロジック部を前記センスアンプ回路に接続する一方、前記不使用ロジック部を前記センスアンプ回路から切り離すものである

ことを特徴とする半導体集積回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体集積回路に関するものであり、特に、メモリとデータ処理を行うロジック部とが混載された半導体集積回路の技術に属する。

【 0 0 0 2 】

【従来の技術】

近年、DRAM（ダイナミック・ランダム・アクセス・メモリ）をマクロセル化し、マイクロプロセッサやASIC（Application Specific IC）などのデータ処理を行うロジック部とともに一つの半導体集積回路基板上に形成する混載化が盛んである。このようにメモリとロジック部とが混載化された半導体集積回路は、システムLSIと呼ばれている。

【 0 0 0 3 】

システムLSIの利点として、次の2点が知られている。まず1つは、DRAMのピン数に起因する制約がなくなり、データ入出力のデータ幅を拡張することができ、DRAMとロジック部との間のデータ転送速度を飛躍的に向上させることができるという点である。そして、もう1つは、DRAMとロジック部との間の結線が短距離のメタル配線で済み、入出力配線における寄生容量を著しく低減させることができ、半導体集積回路の消費電力を低減することができるという点である。

【 0 0 0 4 】

また、DRAMには、あらかじめ冗長メモリセルが準備されている。これにより、拡散工程で発生した不良メモリセルは、メモリの冗長救済工程において、予備の冗長メモリセルに置き換えることができる。これにより、DRAM製造に係る歩留りを確保している。

【 0 0 0 5 】

【発明が解決しようとする課題】

システムLSIは、特定用途向けに製造されることが多い。このような特定用

途向けの半導体集積回路の製造には、個別の露光用マスクが必要である。また、特定用途向けの半導体集積回路は、それぞれ個別の製造工程を経て製造される必要がある。しかし、近年、半導体集積回路の製造プロセスにおいて微細化が進み、露光用マスクの製作には莫大なコストがかかるようになってきている。このため、システム L S I ごとに個別の露光用マスクを製作することは、製造コストを増加させることになる。

【 0 0 0 6 】

また、従来のシステム L S I には、D R A M については置き換え用の冗長メモリセルが準備されていても、ロジック部については冗長ロジック部が搭載されていない。このため、拡散工程において発生した不良ロジック部は救済することができず、その不良ロジック部を有する半導体集積回路は不良品となってしまう。このような歩留りの低下もまた、半導体集積回路の製造コストを増加させることになる。

【 0 0 0 7 】

上記諸問題に鑑み、本発明は、D R A M などのメモリとマイクロプロセッサや A S I C などのロジック部とを混載した半導体集積回路について、一の露光用マスクで開発から拡散工程までを行った後に、目的とする特定用途向けのシステム L S I に切り替えることを可能にし、生産性を向上することを課題とする。また、半導体集積回路の拡散工程において発生した不良ロジック部の救済を可能にし、歩留りを向上することを課題とする。

【 0 0 0 8 】

【課題を解決するための手段】

上記課題を解決するために、請求項 1 の発明が講じた手段は、半導体集積回路として、メモリと、前記メモリに接続可能にされており、データ処理をそれぞれ行う複数のロジック部と、前記複数のロジック部のうち少なくともいずれか 1 つを前記メモリに接続する一方、他のロジック部を前記メモリから切り離す切り離し部とを備えたことを特徴とする。

【 0 0 0 9 】

請求項 1 の発明によると、切り離し部によって、メモリに接続可能にされた複

数のロジック部のうち少なくともいずれか1つがメモリに接続される一方、他のロジック部はメモリから切り離される。これにより、複数のロジック部を含む一の露光用マスクで拡散工程を終えた後に、必要とするロジック部のみをメモリに接続して、最終製品としての半導体集積回路（システムLSI）を得ることができる。したがって、半導体集積回路の生産性および歩留りを向上することができる。また、不要なロジック部がメモリから切り離されることにより、そのロジック部の端子や配線に寄生する寄生容量がメモリから切り離される。これにより、半導体集積回路において駆動すべき電気容量が減り、消費電力の低減および動作の高速化が可能となる。今後、システムLSIにおいてメモリの占める面積の割合はますます増加していくと予想されている。逆に、ロジックの占める割合は減少していく。そのため、複数のロジックを搭載し、そのうちのいずれかをメモリに接続し、他をメモリから切り離す構成とするため、予備のロジックを搭載したとしても、全体の面積に対して問題とならない。

【 0 0 1 0 】

そして、請求項2の発明では、請求項1記載の半導体集積回路において、前記複数のロジック部は、互いに異なる機能を有するものであり、前記切り離し部は、前記複数のロジック部のうち当該半導体集積回路に必要とされる機能を有するものを、前記メモリに接続するものであることを特徴とする。

【 0 0 1 1 】

請求項2の発明によると、互いに異なる機能を有する複数のロジック部のうち必要とされる機能を有するものがメモリに接続される。これにより、半導体集積回路を一の露光用マスクで製造した後に、目的に応じたシステムLSIに切り替えることが可能となり、半導体集積回路の生産性が向上する。

【 0 0 1 2 】

また、請求項3の発明では、請求項1記載の半導体集積回路において、前記複数のロジック部は、同一の機能を有するものであり、前記切り離し部は、前記複数のロジック部のうち健全なものを、前記メモリに接続するものであることを特徴とする。

【 0 0 1 3 】

請求項 3 の発明によると、同一の機能を有する複数のロジック部のうち健全なもの、つまり正常に動作するものがメモリに接続される。これにより、拡散工程において発生した不良ロジック部を他の健全なロジック部に置き換えるといったロジック部の救済が可能となり、半導体集積回路の歩留りが向上する。

【 0 0 1 4 】

一方、請求項 4 の発明では、請求項 1 記載の半導体集積回路において、前記切り離し部は、前記メモリと前記複数のロジック部のそれぞれとの間に設けられた複数のフューズ回路を有するものであり、前記他のロジック部に係る前記フューズ回路のフューズは、切断されていることを特徴とする。

【 0 0 1 5 】

請求項 5 の発明では、請求項 4 記載の半導体集積回路において、前記フューズ回路におけるフューズの切断は、当該半導体集積回路の製造工程におけるメモリの冗長救済工程においてなされたものであることを特徴とする。

【 0 0 1 6 】

請求項 6 の発明では、請求項 1 記載の半導体集積回路において、前記切り離し部は、前記メモリと前記複数のロジック部のそれぞれとの間に設けられた複数のアンチフューズ回路を有するものであり、前記いずれか 1 つのロジック部に係る前記アンチフューズ回路のアンチフューズは、導通状態である一方、前記他のロジック部に係る前記アンチフューズ回路のアンチフューズは、非導通状態であることを特徴とする。

【 0 0 1 7 】

請求項 4 または 6 の発明によると、不要とされるロジック部がメモリから物理的に切り離される。これにより、不要とされるロジック部の端子や配線などに寄生する寄生容量をメモリから物理的に切り離すことができ、半導体集積回路において駆動すべき電気容量が減り、消費電力の低減および動作の高速化が可能となる。

【 0 0 1 8 】

一方、請求項 7 の発明では、請求項 1 記載の半導体集積回路において、前記切り離し部は、前記メモリと前記複数のロジック部との間に設けられたスイッチ手

段を有するものであり、前記スイッチ手段は、前記各ロジック部について、与えられた制御信号に応じて、当該ロジック部と前記メモリとを接続する接続状態と、当該ロジック部と前記メモリとを切り離す切り離し状態とを、切替制御するものであることを特徴とする。

【 0 0 1 9 】

請求項 7 の発明によると、スイッチ手段に与えられる制御信号に応じて、各ロジック部について、メモリとの接続状態および切り離し状態が切替制御される。これにより、スイッチ手段に与える制御信号によって、ロジック部とメモリとの接続／切り離しを制御することができる。

【 0 0 2 0 】

請求項 8 の発明では、請求項 7 記載の半導体集積回路において、前記スイッチ手段は、前記メモリと前記複数のロジック部のそれぞれとの間に設けられ、前記制御信号に応じてそれぞれ開閉動作をする複数のトランジスタスイッチを有するものであり、前記各トランジスタスイッチは、閉じることによって前記接続状態を実現する一方、開くことによって前記切り離し状態を実現するものであることを特徴とする。

【 0 0 2 1 】

請求項 9 の発明では、請求項 7 記載の半導体集積回路において、前記制御信号を、前記接続状態および切り離し状態のいずれかに固定する制御信号固定手段を備えたことを特徴とする。

【 0 0 2 2 】

一方、請求項 1 0 の発明では、請求項 7 記載の半導体集積回路において、前記複数のロジック部のうち少なくとも 1 つは、当該ロジック部が前記メモリにアクセス中であるか否かを判断し、この判断結果に基づいて、当該ロジック部について前記接続状態および切り離し状態のいずれかにするように、前記制御信号を出力する制御回路を有することを特徴とする。

【 0 0 2 3 】

請求項 1 0 の発明によると、制御回路から、ロジック部がメモリにアクセス中であるか否かの判断に基づく制御信号が出力される。これにより、ロジック部が

、自発的に、自己とメモリとの接続／切り離しを制御することが可能となる。

【 0 0 2 4 】

請求項 1 1 の発明では、請求項 7 記載の半導体集積回路において、前記制御回路は、自己の属するロジック部が当該半導体集積回路に不要なものであるとき、当該ロジック部について前記切り離し状態にするように、前記制御信号を出力することを特徴とする。

【 0 0 2 5 】

請求項 1 1 の発明によると、不要なロジック部について、制御回路から、そのロジック部をメモリから切り離すように指示する制御信号が出力される。これにより、不要であることがあらかじめ判明しているロジック部について、自発的に、自己をメモリから切り離すように制御することができる。

【 0 0 2 6 】

請求項 1 2 の発明では、請求項 7 記載の半導体集積回路において、前記複数のロジック部のうち少なくとも 1 つは、当該ロジック部以外のロジック部が非動作状態であると判断したとき、このロジック部について前記切り離し状態にするように、前記制御信号を出力する制御回路を有することを特徴とする。

【 0 0 2 7 】

請求項 1 2 の発明によると、ロジック部の制御回路によって、他のロジック部が非動作状態であると判断されたとき、この非動作状態のロジック部をメモリから切り離すように指示する制御信号が出力される。これにより、動作しない故障ロジック部などを、自己以外のロジック部からの制御信号によって、メモリから切り離すことができる。

【 0 0 2 8 】

請求項 1 3 の発明では、請求項 7 記載の半導体集積回路において、前記メモリは、前記複数のロジック部のうち少なくとも 1 つに要求信号を出力する要求信号発生回路を有するものであり、前記少なくとも 1 つのロジック部は、前記要求信号を受けたとき、当該ロジック部の動作状態を判断し、この判断結果に基づいて、当該ロジック部について前記接続状態および切り離し状態のいずれかにするよう、前記制御信号を出力する制御回路を有するものであることを特徴とする。

【 0 0 2 9 】

請求項 1 3 の発明によると、メモリの要求信号発生回路から要求信号が出力されると、制御回路によって、その制御回路の属するロジック部の動作状態が判断され、この判断結果に基づく制御信号が出力される。これにより、メモリからの要求により、正常に動作するロジック部をメモリに接続する一方、正常に動作しないロジック部をメモリから切り離すことができる。

【 0 0 3 0 】

請求項 1 4 の発明では、請求項 7 記載の半導体集積回路において、前記各ロジック部の健全性を判定し、当該ロジック部に、この判定結果に基づいた判定信号を出力するテスト回路を備え、前記複数のロジック部のうち少なくとも 1 つは、前記判定信号を入力し、当該判定信号が、当該ロジック部が健全でないことを示すものであるとき、当該ロジック部について前記切り離し状態にするように前記制御信号を出力する制御回路を有するものであることを特徴とする。

【 0 0 3 1 】

また、請求項 1 5 の発明では、請求項 7 記載の半導体集積回路において、前記各ロジック部の健全性を判定し、健全でないと判定したロジック部について前記切り離し状態にするように、前記制御信号を出力するテスト回路を備えたことを特徴とする。

【 0 0 3 2 】

請求項 1 4 または 1 5 の発明によると、テスト回路によって各ロジック部の健全性が判定され、健全でないと判定されたロジック部については、メモリからの切り離しを指示する制御信号が出力される。これにより、たとえば、半導体集積回路の電源投入時などテスト回路が動作するたびに、各ロジック部のテストが行われ、このテストの結果、健全でない、たとえば、誤動作をしていると判定されたロジック部をメモリから切り離すことができる。

【 0 0 3 3 】

一方、請求項 1 6 の発明では、請求項 1 記載の半導体集積回路において、前記切り離し状態にあるロジック部を、当該ロジック部に供給されている電源から切り離す電源切り離し手段を備えたことを特徴とする。

【 0 0 3 4 】

また、請求項 1 7 の発明では、請求項 1 記載の半導体集積回路において、前記切り離し状態にあるロジック部に供給されている電源電圧と当該ロジック部の基板電圧との差が小さくなるように、当該基板電圧を変更する基板電圧変更手段を備えたことを特徴とする。

【 0 0 3 5 】

請求項 1 6 の発明によると、電源切り離し手段によって、メモリから切り離されたロジック部は電源から切り離される。また、請求項 1 7 の発明によると、基板電圧変更手段によって、メモリから切り離されたロジック部の電源電圧と基板電圧との差が小さくなるように、基板電圧が変更される。これにより、メモリから切り離されたロジック部を構成する MOS トランジスタのオフリーク電流を抑制することができ、さらなる消費電力の低減が可能となる。

【 0 0 3 6 】

一方、請求項 1 8 の発明では、請求項 1 記載の半導体集積回路において、前記切り離し部は、前記複数のロジック部のうち当該半導体集積回路において使用される使用ロジック部を、順次切り替えて、前記メモリに接続する一方、前記使用ロジック部以外である不使用ロジック部を前記メモリから切り離すものであることを特徴とする。

【 0 0 3 7 】

請求項 1 8 の発明によると、使用ロジック部を切り替えながら動作する半導体集積回路において、切り離し部によって不使用ロジック部がメモリから切り離されることにより、不使用ロジック部の配線や端子などに寄生する不要な寄生容量をメモリから切り離すことができる。これにより、半導体集積回路の消費電力が低減されるとともに、回路動作が高速かつ安定したものとなる。

【 0 0 3 8 】

請求項 1 9 の発明では、請求項 1 8 記載の半導体集積回路において、前記各ロジック部は、前記メモリ内の出力回路に共通に接続可能にされたものであり、前記切り離し部は、前記出力回路と前記各ロジック部との間に設けられ、前記使用ロジック部を前記出力回路に接続する一方、前記不使用ロジック部を前記出力回

路から切り離すものであることを特徴とする。

【 0 0 3 9 】

請求項 2 0 の発明では、請求項 1 8 記載の半導体集積回路において、前記メモリは、前記複数のロジック部にそれぞれ対応する複数の出力回路を有するものであり、前記各ロジック部は、前記対応する出力回路を介して、前記メモリ内のアンプ回路に共通に接続可能にされたものであり、前記切り離し部は、前記アンプ回路と前記対応する出力回路との間に設けられ、前記使用ロジック部を前記アンプ回路に接続する一方、前記不使用ロジック部を前記アンプ回路から切り離すものであることを特徴とする。

【 0 0 4 0 】

請求項 2 1 の発明では、請求項 1 8 記載の半導体集積回路において、前記メモリは、前記複数のロジック部にそれぞれ対応する複数の出力回路および複数のアンプ回路を有するものであり、前記各ロジック部は、前記対応する出力回路およびアンプ回路を介して、前記メモリ内のプリアンプ回路に共通に接続可能にされたものであり、前記切り離し部は、前記プリアンプ回路と前記対応するアンプ回路との間に設けられ、前記使用ロジック部を前記プリアンプ回路に接続する一方、前記不使用ロジック部を前記プリアンプ回路から切り離すものであることを特徴とする。

【 0 0 4 1 】

請求項 2 2 の発明では、請求項 1 8 記載の半導体集積回路において、前記メモリは、前記複数のロジック部にそれぞれ対応する複数の出力回路、複数のアンプ回路および複数のプリアンプ回路を有するものであり、前記各ロジック部は、前記対応する出力回路、アンプ回路およびプリアンプ回路を介して、前記メモリ内のセンスアンプ回路に共通に接続可能にされたものであり、前記切り離し部は、前記センスアンプ回路と前記対応するプリアンプ回路との間に設けられ、前記使用ロジック部を前記センスアンプ回路に接続する一方、前記不使用ロジック部を前記センスアンプ回路から切り離すものであることを特徴とする。

【 0 0 4 2 】

請求項 1 9 から 2 2 までの各発明によると、切り離し部を設ける位置を、メモ

リ内のメモリセルにより近い位置にすることにより、メモリセルと切り離し部との間におけるデータの読み出し時間を短くすることができる。これにより、メモリからデータを読み出すときに、使用ロジック部の切り替えを高速に行うことができ、メモリアクセス動作を実効的に高速化することができる。

【 0 0 4 3 】

請求項 2 3 の発明では、請求項 1 8 記載の半導体集積回路において、前記各ロジック部は、前記メモリ内の入力回路に共通に接続可能にされたものであり、前記切り離し部は、前記入力回路と前記各ロジック部との間に設けられ、前記使用ロジック部を前記入力回路に接続する一方、前記不使用ロジック部を前記入力回路から切り離すものであることを特徴とする。

【 0 0 4 4 】

請求項 2 4 の発明では、請求項 1 8 記載の半導体集積回路において、前記メモリは、前記複数のロジック部にそれぞれ対応する複数の入力回路を有するものであり、前記各ロジック部は、前記対応する入力回路を介して、前記メモリ内のライトアンプ回路に共通に接続可能にされたものであり、前記切り離し部は、前記ライトアンプ回路と前記対応する入力回路との間に設けられ、前記使用ロジック部を前記ライトアンプ回路に接続する一方、前記不使用ロジック部を前記ライトアンプ回路から切り離すものであることを特徴とする。

【 0 0 4 5 】

請求項 2 5 の発明では、請求項 1 8 記載の半導体集積回路において、前記メモリは、前記複数のロジック部にそれぞれ対応する複数の入力回路および複数のライトアンプ回路を有するものであり、前記各ロジック部は、前記対応する入力回路およびライトアンプ回路を介して、前記メモリ内のライトバッファ回路に共通に接続可能にされたものであり、前記切り離し部は、前記ライトバッファ回路と前記対応するライトアンプ回路との間に設けられ、前記使用ロジック部を前記ライトバッファ回路に接続する一方、前記不使用ロジック部を前記ライトバッファ回路から切り離すものであることを特徴とする。

【 0 0 4 6 】

請求項 2 6 の発明では、請求項 1 8 記載の半導体集積回路において、前記メモ

りは、前記複数のロジック部にそれぞれ対応する複数の入力回路、複数のライトアンプ回路および複数のライトバッファ回路を有するものであり、前記各ロジック部は、前記対応する入力回路、ライトアンプ回路およびライトバッファ回路を介して、前記メモリ内のセンスアンプ回路に共通に接続可能にされたものであり、前記切り離し部は、前記センスアンプ回路と前記対応するライトバッファ回路との間に設けられ、前記使用ロジック部を前記センスアンプ回路に接続する一方、前記不使用ロジック部を前記センスアンプ回路から切り離すものであることを特徴とする。

【 0 0 4 7 】

請求項 2 3 から 2 6 までの各発明によると、切り離し部を設ける位置を、メモリ内のメモリセルにより近い位置にすることにより、切り離し部とメモリセルとの間におけるデータの書き込み時間を短くすることができる。これにより、メモリにデータを書き込むときに、使用ロジック部の切り替えを高速に行うことができ、メモリアクセス動作を実効的に高速化することができる。

【 0 0 4 8 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。

【 0 0 4 9 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る半導体集積回路の構成を示す。本実施形態に係る半導体集積回路は、DRAM（ダイナミック・ランダム・アクセス・メモリ）、SRAM（スタティック・ランダム・アクセス・メモリ）、フラッシュメモリ、ROM（リード・オンリー・メモリ）、強誘電体メモリなどのメモリ 1 1 と、マイクロプロセッサやASIC（Application Specific IC）などのデータ処理を行うロジック部 1 2 A、1 2 B と、切り離し部 1 3 とを、一の基板上に混載したものである。

【 0 0 5 0 】

図示していないが、メモリ 1 1 およびロジック部 1 2 A、1 2 B はそれぞれ、アドレス端子、データ入力端子、データ出力端子、データ入出力端子、クロック

端子などを装備している。ロジック部 1 2 A, 1 2 B のこれら端子は、配線 W 1, W 2 によってそれぞれ切り離し部 1 3 に接続されており、メモリ 1 1 における各種端子もまた、配線 W 3 によりそれぞれ切り離し部 1 3 に接続されている。このように、ロジック部 1 2 A, 1 2 B は、切り離し部 1 3 を介して、メモリ 1 1 に接続可能にされている。

【 0 0 5 1 】

切り離し部 1 3 は、メモリ 1 1 とロジック部 1 2 A, 1 2 B のそれぞれと間に設けられた複数（本実施形態では 2 個）のフューズ回路 1 3 1 またはアンチフューズ回路 1 3 1 を有する。フューズ回路 1 3 1 のフューズまたはアンチフューズ回路 1 3 1 のアンチフューズは、ロジック部 1 2 A, 1 2 B の各種端子と、これら各種端子に相応するメモリ 1 1 の各種端子とを繋ぐ配線ごとにそれぞれ割り付けられている。なお、これらフューズやアンチフューズとして、たとえば、DRAM の冗長救済に用いられるものを利用することができる。

【 0 0 5 2 】

本実施形態に係る半導体集積回路については、ロジック部 1 2 A, 1 2 B の双方を備えた一の露光用マスクで、開発から拡散工程までが行われる。フューズ回路 1 3 1 の場合、拡散工程を終えた半導体集積回路においてフューズは接続状態にあるため、ロジック部 1 2 A, 1 2 B の双方がメモリ 1 1 に接続された状態となっている。しかし、この状態で動作させると、ロジック部 1 2 A, 1 2 B からの出力が、切り離し部 1 3 を介して衝突するため、動作不良の原因となる。また、メモリ 1 1 の出力は配線 W 1, W 2 の双方に寄生する寄生容量を駆動しなければならず、消費電力が必要以上に増加することになる。

【 0 0 5 3 】

そこで、切り離し部 1 3 は、ロジック部 1 2 A, 1 2 B のうち、必要とするいずれか 1 つをメモリ 1 1 に接続する一方、不要な他のロジック部をメモリ 1 1 から切り離す。たとえば、ロジック部 1 2 A をメモリ 1 1 に接続し、ロジック部 1 2 B をメモリ 1 1 から切り離す場合、切り離し部 1 3 は、ロジック部 1 2 B に係るフューズをレーザートリミングなどによりすべて切断し、ロジック部 1 2 B をメモリ 1 1 から切り離す。これにより、半導体集積回路は、ロジック部 1 2 A の

みがメモリ 1 1 に接続された状態となる。

【 0 0 5 4 】

一方、アンチフューズ回路 1 3 1 の場合、拡散工程を終えた半導体集積回路においてアンチフューズは非導通状態となっているため、ロジック部 1 2 A, 1 2 B の双方がメモリ 1 1 から切り離された状態となっている。したがって、切り離し部 1 3 は、ロジック部 1 2 A に係るアンチフューズに電圧を印加してこれらアンチフューズを導通状態にし、ロジック部 1 2 A をメモリ 1 1 に接続する。

【 0 0 5 5 】

フューズ回路 1 3 1 のフューズの切断、またはアンチフューズ回路 1 3 1 のアンチフューズの導通化を行うために、新たな製造工程を追加する必要はない。これらは、たとえば、メモリの冗長救済工程（製造工程により不良となったメモリセルを予備の冗長メモリセルに置き換える工程）において行うことができる。

【 0 0 5 6 】

ロジック部 1 2 A, 1 2 B は、互いに異なる機能を有するものであっても、同一の機能を有するものであってもよい。互いに異なる機能を有するものである場合、一の露光用マスクで半導体集積回路の拡散を行った後に、たとえば、ロジック部 1 2 A をメモリ 1 1 に接続することにより、最終製品として、ロジック部 1 2 A の有する機能を実現するシステム L S I を得ることができる。逆に、ロジック部 1 2 B をメモリ 1 1 に接続することにより、ロジック部 1 2 B の有する機能を実現するシステム L S I を得ることができる。つまり、ロジック部 1 2 A, 1 2 B を、互いに異なる機能を有するものにすることにより、拡散後の半導体集積回路を、目的とするシステム L S I に切り替えることができる。

【 0 0 5 7 】

一方、ロジック部 2 A, 2 B が同一の機能を有するものである場合、拡散後の検査工程で、たとえば、ロジック部 1 2 A の不良が発見されたとき、ロジック部 1 2 B をメモリ 1 1 に接続してロジック部 1 2 A を救済することができる。つまり、ロジック部 1 2 A, 1 2 B を、同一の機能を有するものにすることにより、ロジック部の冗長救済が可能となる。

【 0 0 5 8 】

また、ロジック部 1 2 A, 1 2 B のうち不要なものをメモリ 1 1 から切り離すことにより、この不要なロジック部の配線に寄生する寄生容量をメモリ 1 1 から物理的に切り離すことができる。これにより、半導体集積回路が駆動すべき電気容量が減り、消費電力の低減および動作の高速化が可能となる。さらに、ロジック部 1 2 A, 1 2 B からの出力が衝突することもなくなり、メモリ 1 1 とロジック部 1 2 A (または 1 2 B) との間で、安定したデータ転送が可能となる。

【 0 0 5 9 】

以上、本実施形態によると、ロジック部 1 2 A, 1 2 B の双方を含む一の露光用マスクで半導体集積回路の拡散を行った後に、切り離し部 1 3 によって、ロジック部 1 2 A, 1 2 B のうちいずれか 1 つがメモリ 1 1 に接続される一方、他のロジック部はメモリ 1 1 から切り離される。これにより、拡散後の半導体集積回路をさまざまなシステム L S I へと切り替えることが可能となり、半導体集積回路の生産性が向上する。また、ロジック部の冗長救済が可能となり、拡散工程における歩留りが向上する。さらに、不要なロジック部がメモリ 1 1 から物理的に切り離されることにより、半導体集積回路の消費電力の低減および動作の高速化が可能となる。

【 0 0 6 0 】

なお、本実施形態では、1 個のメモリ 1 1 と 2 個のロジック部 1 2 A, 1 2 B とを備えた半導体集積回路について説明したが、本発明はこれらの個数に限定されるものではない。2 個以上のメモリと 3 個以上のロジック部とを備えた半導体集積回路についても、本発明による同様の効果を得ることができる。

【 0 0 6 1 】

(第 2 の実施形態)

図 2 は、本発明の第 2 の実施形態に係る半導体集積回路の構成を示す。本実施形態に係る半導体集積回路は、第 1 の実施形態に係る半導体集積回路に、ロジック部 1 2 A に供給されている電源 1 4 を切り離す電源切り離し手段 1 5 と、ロジック部 1 2 B の基板電圧 V_{SS} を変更する基板電圧変更手段 1 6 を備えたものである。以下、第 1 の実施形態と異なる点について、特に、電源切り離し手段 1 5 および基板電圧変更手段 1 6 の動作について説明する。

【 0 0 6 2 】

電源切り離し手段 1 5 は、電源 1 4 とロジック部 2 A との接続または切り離し行うものである。切り離し部 1 3 と同様に、フューズやアンチフューズ、または MOS トランジスタなどのスイッチで構成することができる。

【 0 0 6 3 】

基板電圧変更手段 1 6 は、メモリ 1 1 から切り離されたロジック部 1 2 B に供給されている電源 1 4 の電圧 V_{DD} と、ロジック部 1 2 B の基板電圧 V_{SS} との差が小さくなるように、基板電圧 V_{SS} を変更するものである。ここで、ロジック部 1 2 B に供給される電源 1 4 を、ロジック部 1 2 B を構成する MOS トランジスタの基板電源とは別にしておく。基板電圧変更手段 1 6 は、切り離し部 1 3 と同様に、フューズやアンチフューズ、または MOS トランジスタなどのスイッチで構成することができる。

【 0 0 6 4 】

ロジック部 1 2 A が不要なものとして切り離し部 1 3 によってメモリ 1 1 から切り離されていても、電源 1 4 の電圧 V_{DD} がロジック部 1 2 A に供給されていると、ロジック部 1 2 A を構成する MOS トランジスタにオフリーク電流などが流れる。このため、ロジック部 1 2 A は、メモリ 1 1 から切り離されているにもかかわらず、無駄な電力を消費してしまう。そこで、電源切り離し手段 1 5 は、メモリ 1 1 から切り離されたロジック部 1 2 A に供給されている電源 1 4 を切り離し、ロジック部 1 2 A によって無駄な電力が消費されないようにする。

【 0 0 6 5 】

一方、基板電圧変更手段 1 6 は、ロジック部 1 2 B に供給されている電源 1 4 の電圧 V_{DD} と基板電圧 V_{SS} との差が小さいように基板電圧 V_{SS} を変更することによって、ロジック部 1 2 B を構成する MOS トランジスタに流れるオフリーク電流などを抑制し、ロジック部 1 2 B によって無駄な電力が消費されないようにする。

【 0 0 6 6 】

以上、本実施形態によると、電源切り離し手段 1 5 や基板電圧変更手段 1 6 によって、メモリ 1 1 から切り離されたロジック部 1 2 A やロジック部 1 2 B の内

部で生ずるオフリーク電流を抑制し、さらなる消費電力の低減が可能となる。

【 0 0 6 7 】

なお、本実施形態では、電源切り離し手段 1 5 および基板電圧変更手段 1 6 の双方を備えているが、これらを同時に備える必要はない。少なくとも電源切り離し手段 1 5 または基板電圧変更手段 1 6 を備えることにより、本発明による効果を得ることができる。

【 0 0 6 8 】

(第 3 の実施形態)

図 3 は、本発明の第 3 の実施形態に係る半導体集積回路の構成を示す。本実施形態に係る半導体集積回路は、メモリ 1 1 と、制御回路 1 2 1 A を有するロジック部 1 2 C と、制御回路 1 2 1 B を有するロジック部 1 2 D と、ロジック部 1 2 C、1 2 D とメモリ 1 1 との接続／切り離しを切替制御するスイッチ手段を有する切り離し部 1 3 A とが、一の基板上に混載されたものである。

【 0 0 6 9 】

切り離し部 1 3 A はスイッチ手段として、メモリ 1 1 とロジック部 1 2 C、1 2 D のそれぞれと間に設けられた複数（本実施形態では 2 個）のトランジスタスイッチ 1 3 2 を有する。トランジスタスイッチ 1 3 2 は、ロジック部 1 2 C、1 2 D の各種端子と、これら各種端子に相応するメモリ 1 1 の各種端子とを繋ぐ配線ごとにそれぞれ割り付けられている。

【 0 0 7 0 】

トランジスタスイッチ 1 3 2 の開閉動作は、ゲート電極に制御信号 S G 1 1、S G 1 2 を与えることによって制御される。たとえば、制御信号 S G 1 1 が、ロジック部 1 2 C をメモリ 1 1 に接続するように指示するものであるとき、トランジスタスイッチ 1 3 2 は閉じ、配線 W 1 と配線 W 3 を繋ぐ。一方、制御信号 S G 1 1 が、ロジック部 1 2 C をメモリ 1 1 から切り離すように指示するものであるとき、トランジスタスイッチ 1 3 2 は開き、配線 W 1 と配線 W 3 とを切り離す。

【 0 0 7 1 】

なお、図示していないが、制御信号 S G 1 1、S G 1 2 は、制御信号固定手段によって、メモリ 1 1 とロジック部 1 2 C、1 2 D との接続および切り離しのい

ずれかを指示するものに固定することができる。制御信号固定手段は、フューズやアンチフューズなどで構成することが可能であり、フューズの切断、またはアンチフューズの導通化により、制御信号 S G 1 1, S G 1 2 を固定する。

【 0 0 7 2 】

一方、制御回路 1 2 1 A, 1 2 1 B は、自己の属するロジック部 1 2 C, 1 2 D がメモリ 1 1 にアクセス中であるか否かを判断し、この判断結果に基づいて、制御信号 S G 1 1, S G 1 2 を出力する。たとえば、ロジック部 1 2 C がメモリ 1 1 に対してデータ転送や制御を行っているとき、制御回路 1 2 1 A は、ロジック部 1 2 C からの内部信号により、ロジック部 1 2 C がメモリ 1 1 にアクセス中であると判断する。そして、切り離し部 1 3 A に、ロジック部 1 2 C をメモリ 1 1 に接続するように指示する制御信号 S G 1 1 を出力する。一方、ロジック部 1 2 C がメモリ 1 1 に対してデータ転送や制御を行っていないとき、制御回路 1 2 1 A は、ロジック部 1 2 C がメモリ 1 1 にアクセスしていないと判断し、切り離し部 1 3 A に、ロジック部 1 2 C をメモリ 1 1 から切り離すように指示する制御信号 S G 1 1 を出力する。

【 0 0 7 3 】

また、上記とは逆に、制御回路 1 2 1 A, 1 2 1 B について、メモリ 1 1 にアクセス中のロジック部の制御回路から、アクセスしていない他のロジック部に係るトランジスタスイッチ 1 3 2 に切り離しを指示する制御信号を出力するようにしてもよい。たとえば、制御回路 1 2 1 A が、自己の属するロジック部 1 2 C がメモリ 1 1 にアクセス中であると判断したとき、他のロジック部であるロジック部 1 2 D をメモリ 1 1 から切り離すように指示する制御信号 S G 1 1 を、ロジック部 1 2 D に係るトランジスタスイッチ 1 3 2 に出力する。これにより、メモリ 1 1 にアクセスしていないロジック部 1 2 D をメモリ 1 1 から切り離すことができる。

【 0 0 7 4 】

ところで、ロジック部 1 2 C, 1 2 D について、その要・不要があらかじめ明らかになることがある。たとえば、故障のため動作しないロジック部は不要である。このような不要ロジック部はメモリ 1 1 から切り離しておくことが好ましい。し

たがって、制御回路 1 2 1 A, 1 2 1 B は、メモリ 1 1 から自己の属するロジック部 1 2 C, 1 2 D の切り離しを指示する制御信号 S G 1 1, S G 1 2 を、定常的に出力するように設定可能となっている。具体的には、制御回路 1 2 1 A, 1 2 1 B にフラッシュメモリやフューズなどを搭載しておき、このフラッシュメモリを設定したり、またはフューズを切断したりすることによって、メモリ 1 1 からのロジック部 1 2 C, 1 2 D の切り離しを指示する制御信号 S G 1 1, S G 1 2 を定常的に出力することができる。

【 0 0 7 5 】

以上、本実施形態によると、制御回路 1 2 1 A, 1 2 1 B から出力される制御信号 S G 1 1, S G 1 2 によって、切り離し部 1 3 A におけるトランジスタスイッチ 1 3 2 を制御し、メモリ 1 1 にアクセス中であるロジック部をメモリ 1 1 に接続する一方、アクセスしていない他のロジック部をメモリ 1 1 から切り離すことができる。これにより、メモリ 1 1 にアクセスしていないロジック部の配線や端子に寄生する寄生容量をメモリ 1 1 から切り離し、メモリ 1 1 が駆動すべき電気容量を削減することができる。したがって、半導体集積回路の消費電力を低減することが可能となり、また、回路動作の高速化を図ることができる。

【 0 0 7 6 】

なお、制御信号 S G 1 1, S G 1 2 は、制御回路 1 2 1 A, 1 2 1 B から出力されとしたが、本発明はこれに限定されるものではない。制御回路 1 2 1 A, 1 2 1 B 以外から、制御信号 S G 1 1, S G 1 2 を出力するようにしても、本発明による同様の効果を得ることができる。また、すべてのロジック部が制御回路を有する必要はなく、少なくとも 1 つのロジック部が有していればよい。

【 0 0 7 7 】

また、切り離し部 1 3 A におけるスイッチ手段として、複数のトランジスタスイッチ 1 3 2 の代わりに、たとえば、1 個のセクタ回路などを設けてもよい。セクタ回路は、ロジック部 1 2 C, 1 2 D のいずれか 1 つをメモリ 1 1 に接続し、他のロジック部をメモリ 1 1 から切り離すことが可能であり、上記の効果を得ることができる。

【 0 0 7 8 】

(第 4 の実施形態)

図 4 は、本発明の第 4 の実施形態に係る半導体集積回路の構成を示す。本実施形態に係る半導体集積回路は、第 3 の実施形態に係る半導体集積回路における制御回路 1 2 1 A, 1 2 1 B を、確認信号 S G 2 1, S G 2 2 および返答信号 S G 3 1, S G 3 2 の入出力が可能な制御回路 1 2 1 C, 1 2 1 D に置き換えたものである。以下、第 3 の実施形態と異なる点について、特に、制御回路 1 2 1 C, 1 2 1 D の動作について説明する。

【 0 0 7 9 】

制御回路 1 2 1 C は、自己の属するロジック部 1 2 C 以外のロジック部 1 2 D に対して、確認信号 S G 2 1 を出力する。そして、ロジック部 1 2 D から返答信号 S G 3 2 を受けることによって、ロジック部 1 2 D は動作していると判断する。一方、ロジック部 1 2 D から返答信号 S G 3 2 を受けなかったとき、制御回路 1 2 1 C は、ロジック部 1 2 D が非動作状態であると判断し、ロジック部 1 2 D をメモリ 1 1 から切り離すように指示する制御信号 S G 1 3 を出力する。また、制御回路 1 2 1 C は、確認信号 S G 2 2 を入力することにより、返答信号 S G 3 1 を出力する。

【 0 0 8 0 】

制御回路 1 2 1 D も、制御回路 1 2 1 C と同様に動作するものである。そして、これら制御回路 1 2 1 C, 1 2 1 D が互いに相手のロジック部の動作状態を確認しあって、ロジック部 1 2 C, 1 2 D とメモリ 1 1 との接続／切り離しを制御する。

【 0 0 8 1 】

以上、本実施形態によると、制御回路 1 2 1 C (または 1 2 1 D) によって、他のロジック部 1 2 D (または 1 2 C) が非動作状態であると判断されたとき、ロジック部 1 2 D (または 1 2 C) をメモリ 1 1 から切り離すように指示する制御信号 S G 1 3 (または S G 1 4) が出力される。これにより、故障などにより動作しないため、自らではメモリ 1 1 からの切り離しのための制御信号を出力することのできないロジック部について、他のロジック部の制御回路による制御によってメモリ 1 1 から切り離すことができる。

【 0 0 8 2 】

(第 5 の実施形態)

図 5 は、本発明の第 5 の実施形態に係る半導体集積回路の構成を示す。本実施形態に係る半導体集積回路は、要求信号 S G 4 1 を出力する要求信号発生回路 1 1 1 を有するメモリ 1 1 A を備えたものである。以下、第 3 の実施形態と異なる点について、特に、要求信号発生回路 1 1 1 の動作について説明する。

【 0 0 8 3 】

要求信号発生回路 1 1 1 は、各ロジック部 1 2 C, 1 2 D に、メモリ 1 1 A との接続または切り離しを要求する要求信号 S G 4 1 を出力する。

【 0 0 8 4 】

ロジック部 1 2 C, 1 2 D における制御回路 1 2 1 E, 1 2 1 F は、メモリ 1 1 A との接続を要求する要求信号 S G 4 1 が与えられることにより、自己の属するロジック部 1 2 C, 1 2 D の動作状態を判断する。そして、正常に動作していると判断したとき、自己の属するロジック部 1 2 C, 1 2 D をメモリ 1 1 A に接続するように指示する制御信号 S G 1 1, S G 1 2 を出力する一方、正常に動作していないと判断したとき、メモリ 1 1 A から切り離すように指示する制御信号 S G 1 1, S G 1 2 を出力する。

【 0 0 8 5 】

一方、制御回路 1 2 1 E, 1 2 1 F は、メモリ 1 1 A との切り離しを要求する要求信号 S G 4 1 が与えられることにより、自己の属するロジック部 1 2 C, 1 2 D をメモリ 1 1 A から切り離すように指示する制御信号 S G 1 1, S G 1 2 を出力する。

【 0 0 8 6 】

以上、本実施形態によると、メモリ 1 1 A における要求信号発生回路 1 1 1 から出力される要求信号 S G 4 1 に応じて、ロジック部 1 2 C, 1 2 D とメモリ 1 1 A との接続／切り離しを制御することができる。これにより、正常に動作しないロジック部をメモリ 1 1 A から切り離すようにすることができる。

【 0 0 8 7 】

なお、すべてのロジック部が制御回路を有する必要はない。少なくとも 1 つの

ロジック部が有することにより、本発明による同様の効果を得ることができる。

【0088】

また、第4の実施形態における確認信号SG21、SG22の代わりに、要求信号発生回路111からの要求信号SG41を与えることにより、故障などにより動作しないため、自らではメモリ11Aからの切り離しのための制御信号を出力することのできないロジック部について、他のロジック部の制御回路による制御によってメモリ11Aから切り離すことができる。

【0089】

(第6の実施形態)

図6は、本発明の第6の実施形態に係る半導体集積回路の構成を示す。本実施形態に係る半導体集積回路は、第3の実施形態に係る半導体集積回路に、本発明のテスト回路に相当するBIST（ビルト・イン・セルフ・テスト）回路17を備えたものである。以下、第3の実施形態と異なる点について、特に、BIST回路17の動作について説明する。

【0090】

BIST回路17は、半導体集積回路の電源投入時に、自動的にロジック部12C、12Dの健全性をテストし、各ロジック部12C、12Dが正常動作しているか、または誤動作していて不良であることを判定する。そして、この判定結果に基づいた判定信号SG51を各ロジック部12C、12Dに出力する。

【0091】

制御回路121G、121Hは、判定信号SG51を入力し、この判定信号SG51が示す内容に応じて制御信号SG11、SG12を出力する。具体的には、判定信号SG51が、ロジック部12Cが健全でないことを示すものであるとき、制御回路121Gは、自己の属するロジック部12Cをメモリ11から切り離すように指示する制御信号SG11を出力する。

【0092】

図7は、本実施形態の別の構成例である。同図に示すように、切り離し部3に与える制御信号SG11、SG12を、BIST回路17Aから出力することも可能である。

【 0 0 9 3 】

以上、本実施形態によると、BIST回路17、17Aによって、半導体集積回路の電源投入時に、自動的にロジック部12C、12Dの健全性が検査され、健全でないと判定されたロジック部はメモリ11から切り離される。これにより、半導体集積回路の製造において不要なロジック部を切り離す工程を設ける必要がなくなり、半導体集積回路の使用時に、動的に不要な故障ロジック部などを切り離すことができる。

【 0 0 9 4 】

なお、すべてのロジック部が制御回路を有する必要はない。少なくとも1つのロジック部が有することにより、本発明による同様の効果を得ることができる。

【 0 0 9 5 】

(第7の実施形態)

図8は、本発明の第7の実施形態に係る半導体集積回路の構成を示す。本実施形態に係る半導体集積回路は、ロジック部12A、12Bを順次切り替えて交互に駆動することを前提としている。具体的には、ロジック部12Aを半導体集積回路において使用されるべき使用ロジック部としてメモリ11に接続する一方、ロジック部12Bを使用されない不使用ロジック部としてメモリ11から切り離す。次に、使用ロジック部を切り替えて、ロジック部12Bを使用ロジック部としてメモリ11に接続する一方、ロジック部12Aを不使用ロジック部としてメモリ11から切り離す。これを繰り返し行い、ロジック部12A、12Bを交互に駆動するものである。

【 0 0 9 6 】

切り離し部13Aは、第3の実施形態で説明したようなスイッチ手段で構成される。なお、切り離し部13Aを制御する制御信号の図示は省略している。

【 0 0 9 7 】

メモリ11は、出力回路210、アンプ回路220、プリアンプ回路230、メモリセルアレイ部240、入力回路260、ライトアンプ回路270、およびライトバッファ回路280を備えている。メモリセルアレイ部240は、センスアンプ回路250およびメモリセル251を備えている。

【 0 0 9 8 】

切り離し部 1 3 A は、出力回路 2 1 0 とロジック部 1 2 A, 1 2 B との間、および入力回路 2 6 0 とロジック部 1 2 A, 1 2 B との間に設けられている。そして、ロジック部 1 2 A, 1 2 B は、切り離し部 1 3 A を介して、出力回路 2 1 0 および入力回路 2 6 0 に共通に接続可能にされている。

【 0 0 9 9 】

次に、メモリ 1 1 とロジック部 1 2 A, 1 2 B との間のデータ転送について説明する。まず、ロジック部 1 2 A, 1 2 B からメモリ 1 1 へのデータの書き込みについて説明する。

【 0 1 0 0 】

ロジック部 1 2 A (または 1 2 B) からメモリロジック接続配線 W 1 (または W 2) を通じて入力回路 2 6 0 に書き込みデータが入力される。入力回路 2 6 0 は、インバータなどで構成することが可能である。入力回路 2 6 0 は、書き込みデータに基づいて、ライトアンプ回路 2 7 0 にライトデータ信号 S G 2 6 0 を出力する。ライトアンプ回路 2 7 0 は、入力した信号を増幅する機能を有する。ライトアンプ回路 2 7 0 は、ライトデータ信号 S G 2 6 0 に基づいて、メモリセルアレイ部 2 4 0 に隣接したライトバッファ回路 2 8 0 に内部ライト信号 S G 2 7 0 を出力する。ライトバッファ回路 2 8 0 は、内部ライト信号 S G 2 7 0 に基づいて、センスアンプ回路 2 5 0 にアレイデータ信号 S G 2 8 0 を出力する。そして、センスアンプ回路 2 5 0 によって増幅されたデータが、ビット線 S G 2 5 0 および反転ビット線 S G 2 5 1 を介して、メモリセル 2 5 1 に書き込まれる。

【 0 1 0 1 】

一方、メモリ 1 1 からロジック部 1 2 A, 1 2 B へのデータの読み出し動作は次のようになる。まず、メモリセル 2 5 1 からビット線 S G 2 5 0 および反転ビット線 S G 2 5 1 にデータが読み出される。センスアンプ回路 2 5 0 は、ビット線 S G 2 5 0 および反転ビット線 S G 2 5 1 のデータを比較し、データ増幅を行い、アレイデータ信号 S G 2 3 0 を出力する。メモリセルアレイ部 2 4 0 に隣接したプリアンプ回路 2 3 0 は、アレイデータ信号 S G 2 3 0 を増幅し、プリアンプ信号 S G 2 2 0 として出力する。アンプ回路 2 2 0 は、プリアンプ信号 S G 2

20を増幅し、アンプ信号SG210を出力する。そして、出力回路210は、アンプ信号SG210を、メモリ11からの出力データとして出力し、メモリロジック接続配線W1（またはW2）を通じて、ロジック部12A（または12B）に出力する。

【0102】

本実施形態によると、切り離し部13Aによって、ロジック部12A、12Bのうち、半導体集積回路において使用する使用ロジック部（たとえば、ロジック部12A）はメモリ11に接続される一方、使用しない不使用ロジック部（たとえば、ロジック部12B）はメモリ11から切り離される。このように不使用ロジック部をメモリ11から切り離すことにより、不使用ロジック部の端子や配線などに寄生する寄生容量がメモリ11から切り離され、半導体集積回路の消費電力の低減および動作の高速化が可能となる。

【0103】

また、切り離し部13Aをメモリ11の内部に設けることにより、メモリセル251から切り離し部13Aまでの距離を短くすることができ、切り離し部13Aとメモリセル251との間で、データの書き込み／読み出し時間を短縮することができる。したがって、ロジック部12A、12Bの切り替え周期をより短くすることができ、書き込み／読み出しのメモリアクセス動作を実効的に高速化することができる。

【0104】

なお、上記説明では、メモリ11としてデータの読み書きが可能なRAMであると想定しているが、データ書き込みのできないROMであっても、本発明による同様の効果を得ることができる。

【0105】

（第8の実施形態）

図9は、本発明の第8の実施形態に係る半導体集積回路の構成を示す。本実施形態に係る半導体集積回路は、第7の実施形態よりもさらにメモリセル251に近い位置に切り離し部13Aを設けたものである。

【0106】

メモリ 1 1 は、ロジック部 1 2 A, 1 2 B にそれぞれ対応する出力回路 2 1 0, 2 1 1 と、入力回路 2 6 0, 2 6 1 とを備えている。ロジック部 1 2 A, 1 2 B は、対応する出力回路 2 1 0, 2 1 1 を介してアンプ回路 2 2 0 に共通に接続可能にされている。また、対応する入力回路 2 6 0, 2 6 1 を介してライトアンプ回路 2 7 0 に共通に接続可能にされている。

【 0 1 0 7 】

ロジック部 1 2 A (または 1 2 B) からメモリ 1 1 へのデータの書き込みは、入力回路 2 6 0 (または 2 6 1) を介して行われる。一方、メモリ 1 1 からロジック部 1 2 A (または 1 2 B) へのデータの読み込みは、出力回路 2 1 0 (または 2 1 1) を介して行われる。

【 0 1 0 8 】

本実施形態によると、メモリセル 2 5 1 から切り離し部 1 3 A までの距離をより短くすることができるため、切り離し部 1 3 A とメモリセル 2 5 1 との間で、データの書き込み／読み出し時間をより短縮することができる。したがって、ロジック部 1 2 A, 1 2 B の切り替え周期をさらに短くすることができ、書き込み／読み出しのメモリアクセス動作を実効的により高速化することができる。

【 0 1 0 9 】

(第 9 の実施形態)

図 1 0 は、本発明の第 9 の実施形態に係る半導体集積回路の構成を示す。本実施形態に係る半導体集積回路は、第 8 の実施形態よりもさらにメモリセル 2 5 1 に近い位置に切り離し部 1 3 A を設けたものである。

【 0 1 1 0 】

メモリ 1 1 は、ロジック部 1 2 A, 1 2 B にそれぞれ対応する出力回路 2 1 0, 2 1 1 と、アンプ回路 2 2 0, 2 2 1 と、入力回路 2 6 0, 2 6 1 と、ライトアンプ回路 2 7 0, 2 7 1 とを備えている。ロジック部 1 2 A, 1 2 B は、対応する出力回路 2 1 0, 2 1 1 およびアンプ回路 2 2 0, 2 2 1 を介してプリアンプ回路 2 3 0 に共通に接続可能にされている。また、対応する入力回路 2 6 0, 2 6 1 およびライトアンプ回路 2 7 0, 2 7 1 を介してライトバッファ回路 2 8 0 に共通に接続可能にされている。

【 0 1 1 1 】

ロジック部 1 2 A (または 1 2 B) からメモリ 1 1 へのデータの書き込みは、入力回路 2 6 0 (または 2 6 1) およびライトアンプ回路 2 7 0 (または 2 7 1) を介して行われる。一方、メモリ 1 1 からロジック部 1 2 A (または 1 2 B) へのデータの読み込みは、出力回路 2 1 0 (または 2 1 1) およびアンプ回路 2 2 0 (または 2 2 1) を介して行われる。

【 0 1 1 2 】

本実施形態によると、メモリセル 2 5 1 から切り離し部 1 3 A までの距離をさらに短くすることができるため、切り離し部 1 3 A とメモリセル 2 5 1 との間で、データの書き込み／読み出し時間をさらに短縮することができる。したがって、ロジック部 1 2 A, 1 2 B の切り替え周期をさらに短くすることができ、書き込み／読み出しのメモリアクセス動作を実効的により高速化することができる。

【 0 1 1 3 】

(第 1 0 の実施形態)

図 1 1 は、本発明の第 1 0 の実施形態に係る半導体集積回路の構成を示す。本実施形態に係る半導体集積回路は、第 9 の実施形態よりもさらにメモリセル 2 5 1 に近い位置に切り離し部 1 3 A を設けたものである。

【 0 1 1 4 】

メモリ 1 1 は、ロジック部 1 2 A, 1 2 B にそれぞれ相応する出力回路 2 1 0, 2 1 1 と、アンプ回路 2 2 0, 2 2 1 と、プリアンプ回路 2 3 0, 2 3 1 と、入力回路 2 6 0, 2 6 1 と、ライトアンプ回路 2 7 0, 2 7 1 と、ライトバッファ回路 2 8 0, 2 8 1 とを備えている。ロジック部 1 2 A, 1 2 B は、相応する出力回路 2 1 0, 2 1 1、アンプ回路 2 2 0, 2 2 1 およびプリアンプ回路 2 3 0, 2 3 1 を介してセンスアンプ回路 2 5 0 に共通に接続可能にされている。また、相応する入力回路 2 6 0, 2 6 1、ライトアンプ回路 2 7 0, 2 7 1 およびライトバッファ回路 2 8 0, 2 8 1 を介してセンスアンプ回路 2 5 0 に共通に接続可能にされている。

【 0 1 1 5 】

ロジック部 1 2 A (または 1 2 B) からメモリ 1 1 へのデータの書き込みは、

入力回路 2 6 0 (または 2 6 1)、ライトアンプ回路 2 7 0 (または 2 7 1) およびライトバッファ回路 2 8 0 (または 2 8 1) を介して行われる。一方、メモリ 1 1 からロジック部 1 2 A (または 1 2 B) へのデータの読み込みは、出力回路 2 1 0 (または 2 1 1)、アンプ回路 2 2 0 (または 2 2 1) およびプリアンプ回路 2 3 0 (または 2 3 1) を介して行われる。

【 0 1 1 6 】

本実施形態によると、メモリセル 2 5 1 から切り離し部 1 3 A までの距離をさらに短くすることができるため、切り離し部 1 3 A とメモリセル 2 5 1 との間で、データの書き込み／読み出し時間をより一層短縮することができる。したがって、ロジック部 1 2 A、1 2 B の切り替え周期をより一層短くすることができ、書き込み／読み出しのメモリアクセス動作を実効的にさらに高速化することができる。

【 0 1 1 7 】

【発明の効果】

以上説明したように、本発明によると、一の露光用マスクで、DRAMなどのメモリとマイクロプロセッサやASICなどの複数のロジック部とを混載した半導体集積回路の拡散を行った後に、複数のロジック部のうち必要とするロジック部のみメモリに接続し、不要なロジック部をメモリから切り離すことにより、さまざまなシステムLSIへと切り替えることができる。これにより、半導体集積回路の生産性が向上する。

【 0 1 1 8 】

また、複数のロジック部として同一の機能を有するものを備えることにより、不良ロジック部を他の健全なロジック部に置き換えるといったロジック部の救済が可能となる。これにより、半導体集積回路の歩留りが向上する。

【 0 1 1 9 】

以上のことから、本発明により、半導体集積回路の製造に係るコストを大幅に削減にすることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る半導体集積回路の構成図である。

【図 2】

本発明の第 2 の実施形態に係る半導体集積回路の構成図である。

【図 3】

本発明の第 3 の実施形態に係る半導体集積回路の構成図である。

【図 4】

本発明の第 4 の実施形態に係る半導体集積回路の構成図である。

【図 5】

本発明の第 5 の実施形態に係る半導体集積回路の構成図である。

【図 6】

本発明の第 6 の実施形態に係る半導体集積回路の構成図である。

【図 7】

本発明の第 6 の実施形態に係る半導体集積回路の構成図である。

【図 8】

本発明の第 7 の実施形態に係る半導体集積回路の構成図である。

【図 9】

本発明の第 8 の実施形態に係る半導体集積回路の構成図である。

【図 1 0】

本発明の第 9 の実施形態に係る半導体集積回路の構成図である。

【図 1 1】

本発明の第 1 0 の実施形態に係る半導体集積回路の構成図である。

【符号の説明】

1 1, 1 1 A メモリ

1 2 A, 1 2 B, 1 2 C, 1 2 D ロジック部

1 3, 1 3 A 切り離し部

1 4 電源

1 5 電源切り離し手段

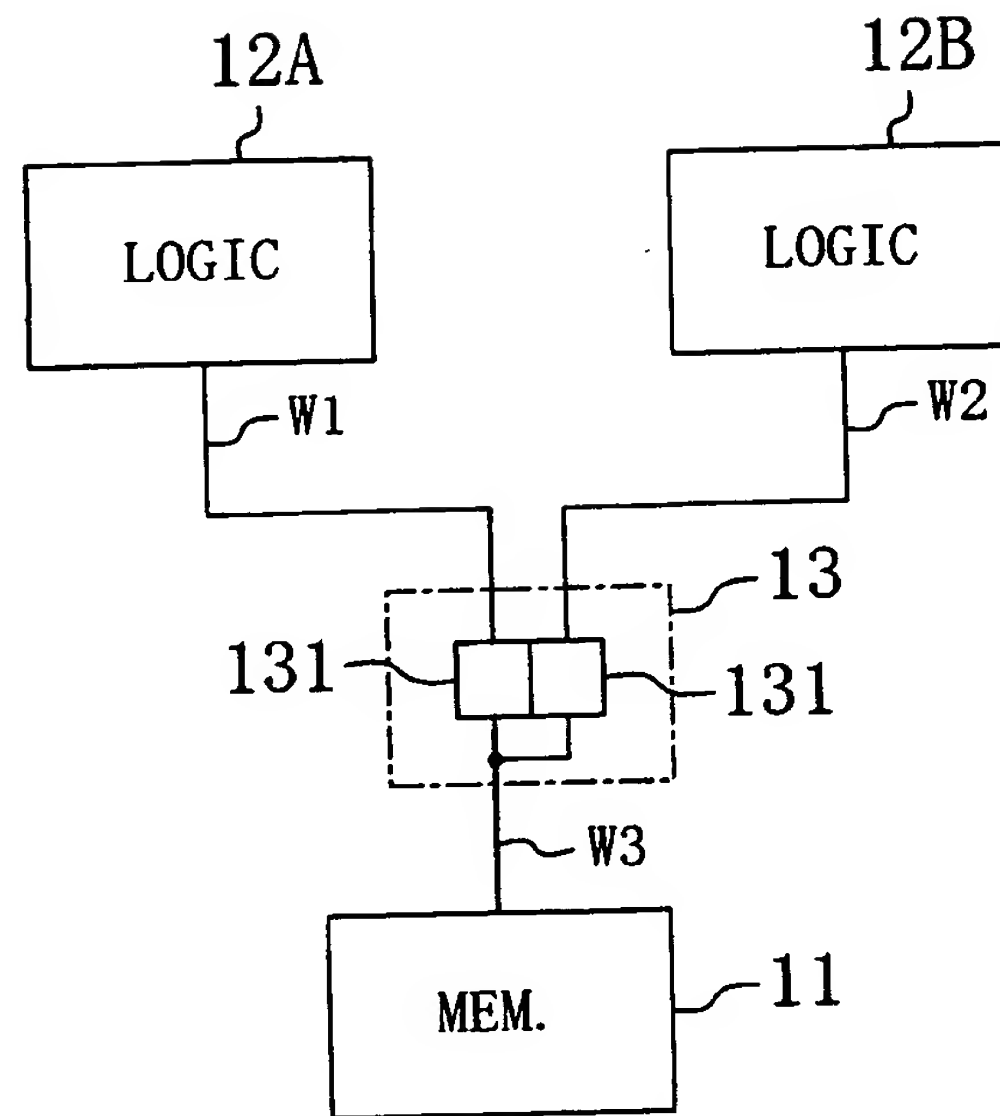
1 6 基板電圧変更手段

1 7, 1 7 A B I S T回路（テスト回路）

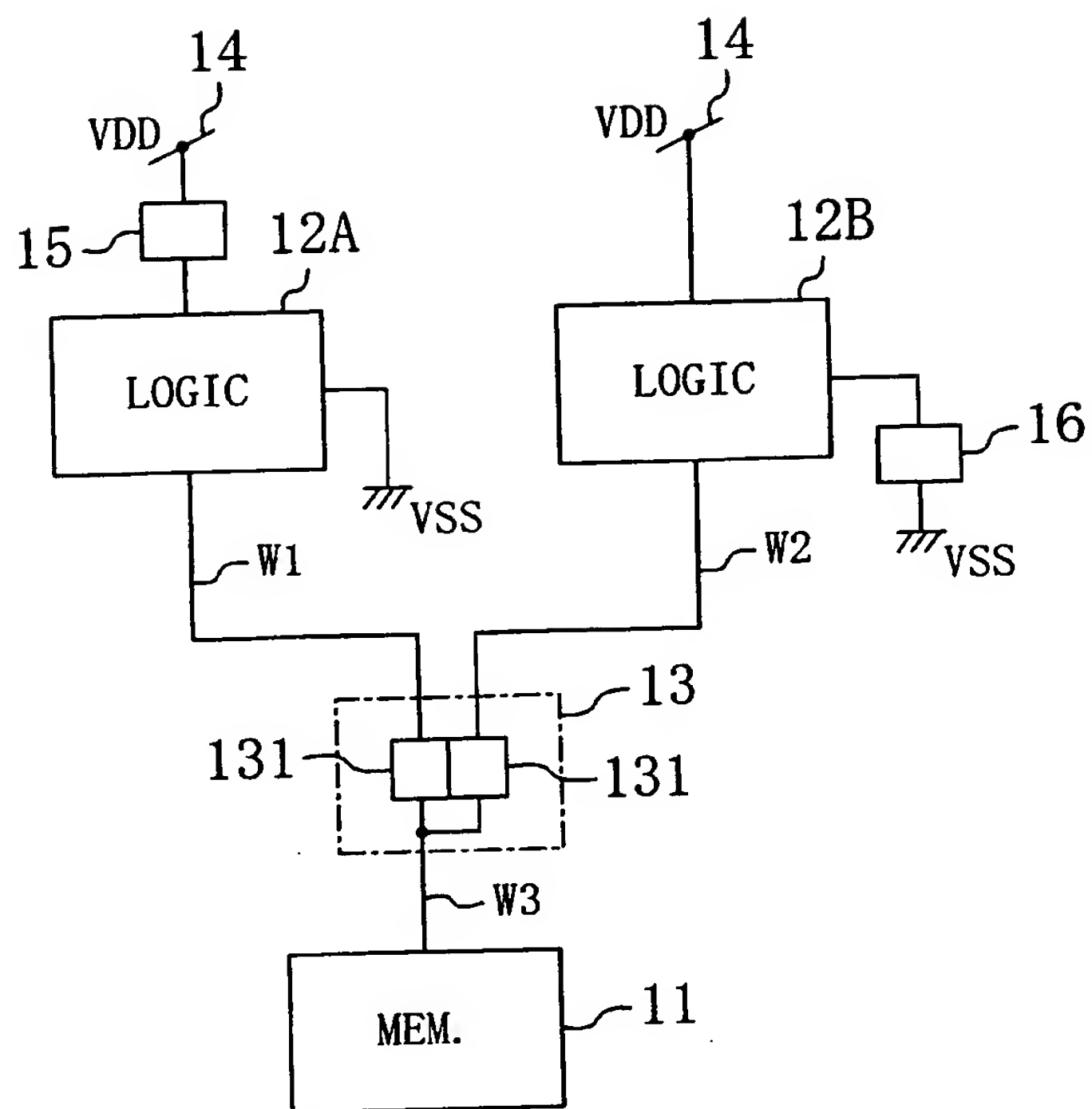
1 1 1 要求信号発生回路
1 2 1 A ~ 1 2 1 H 制御回路
1 3 1 フューズ回路、アンチフューズ回路
1 3 2 トランジスタスイッチ
2 1 0, 2 1 1 出力回路
2 2 0, 2 2 1 アンプ回路
2 3 0, 2 3 1 プリアンプ回路
2 5 0 センスアンプ回路
2 6 0, 2 6 1 入力回路
2 7 0, 2 7 1 ライトアンプ回路
2 8 0, 2 8 1 ライトバッファ回路
S G 1 1 ~ S G 1 4 制御信号
S G 4 1 要求信号
S G 5 1 判定信号
V D D 電源電圧
V S S 基板電圧

【書類名】 図面

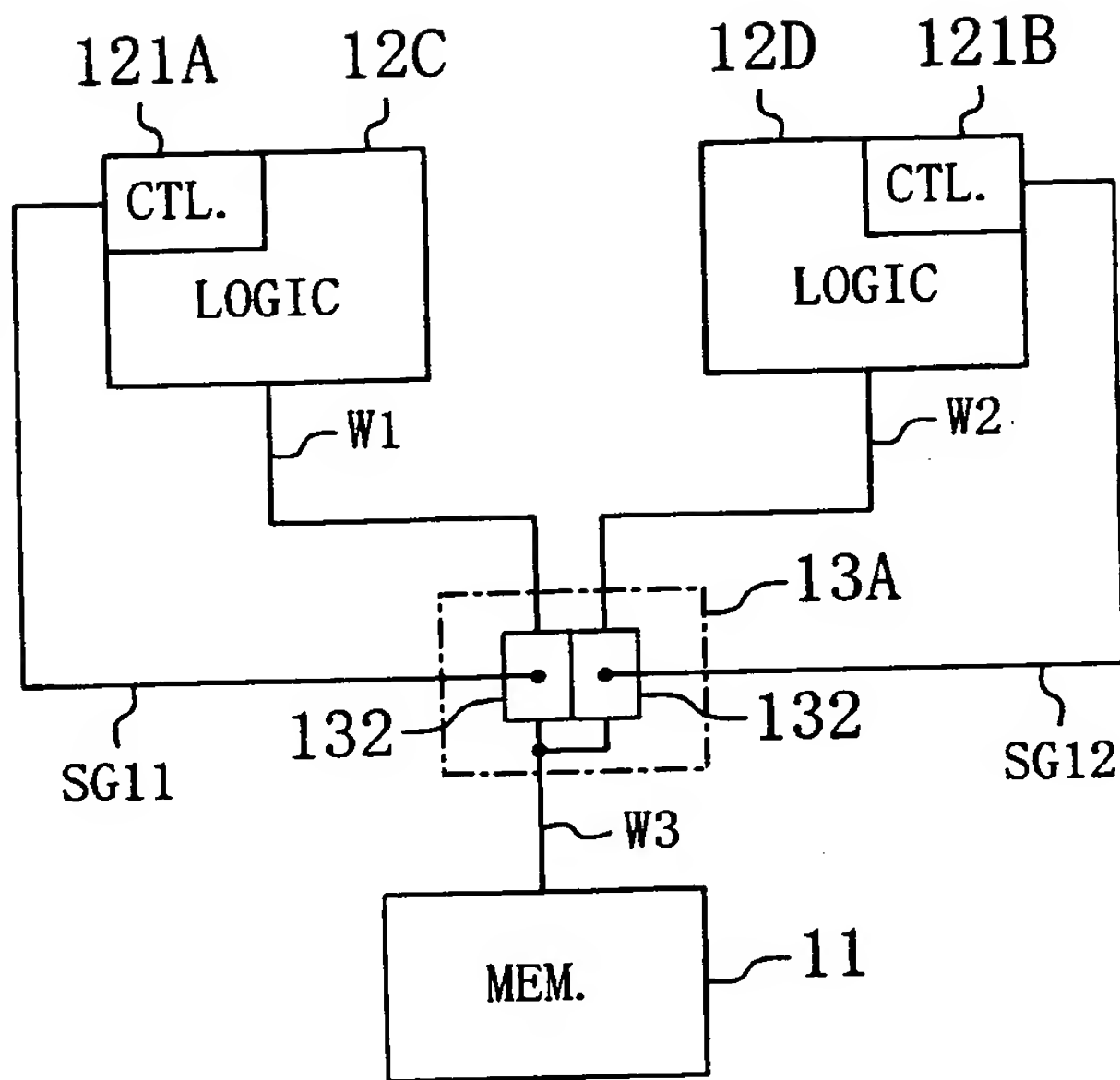
【図 1】



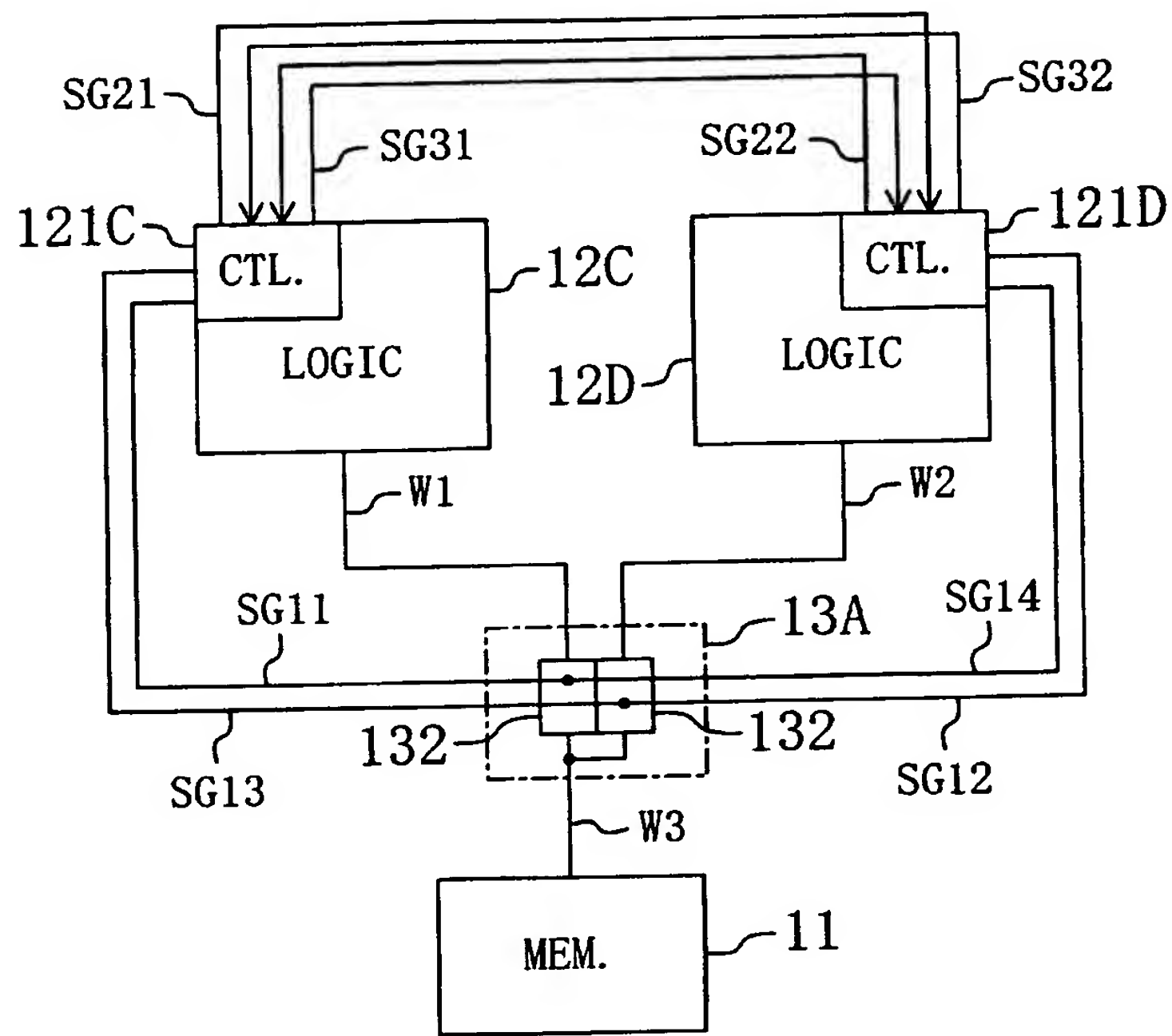
【図 2】



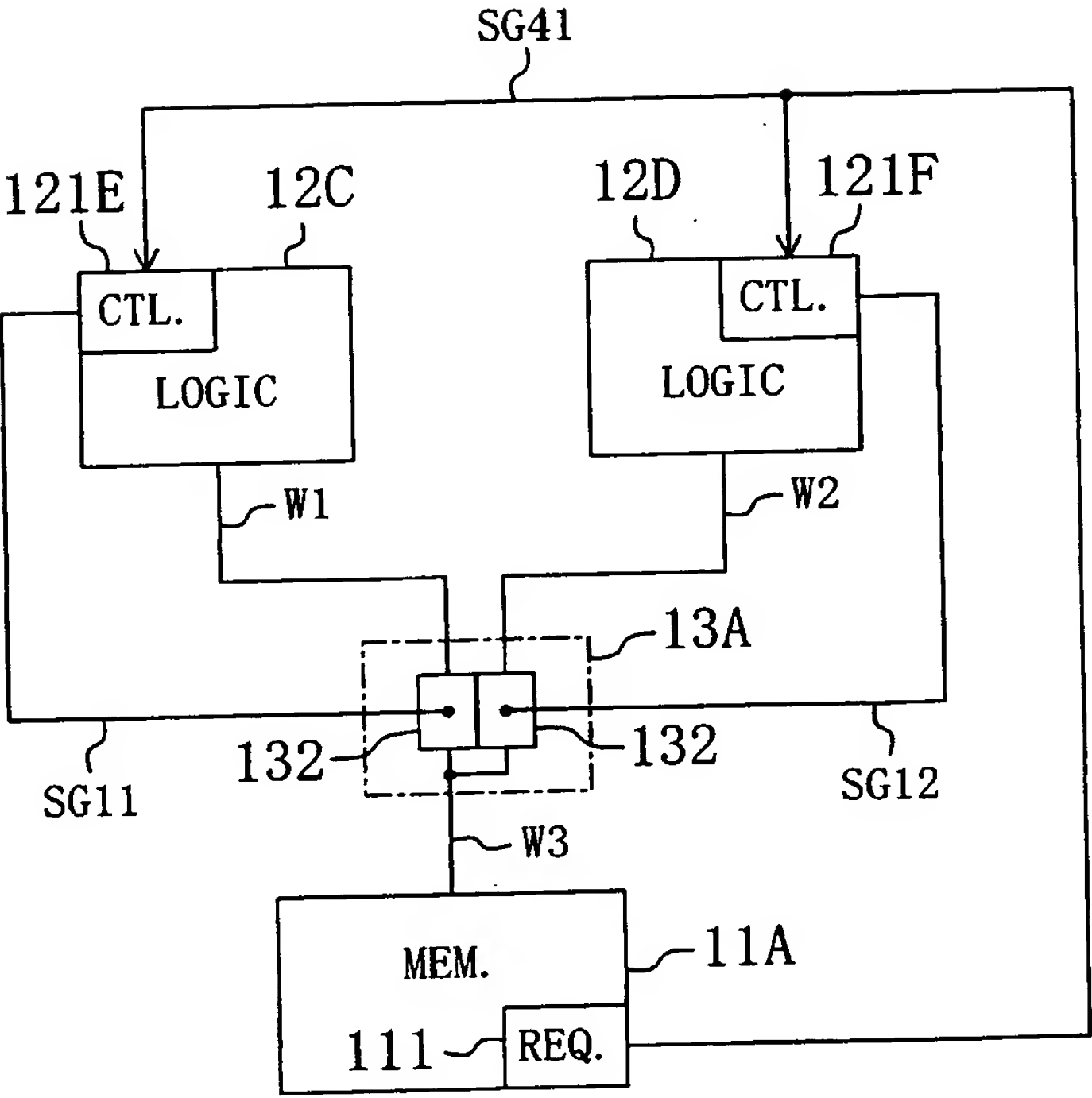
【図 3】



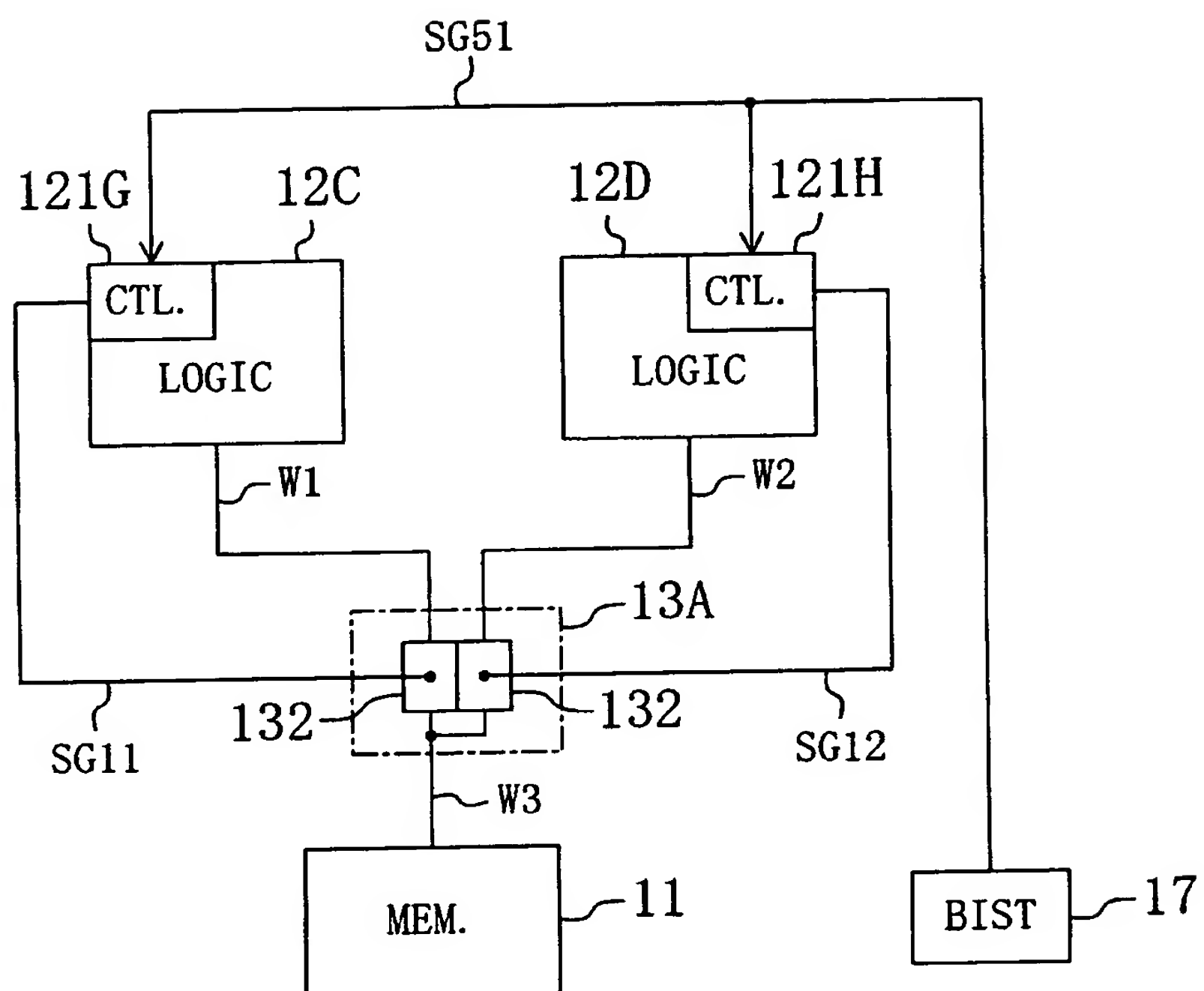
【図 4】



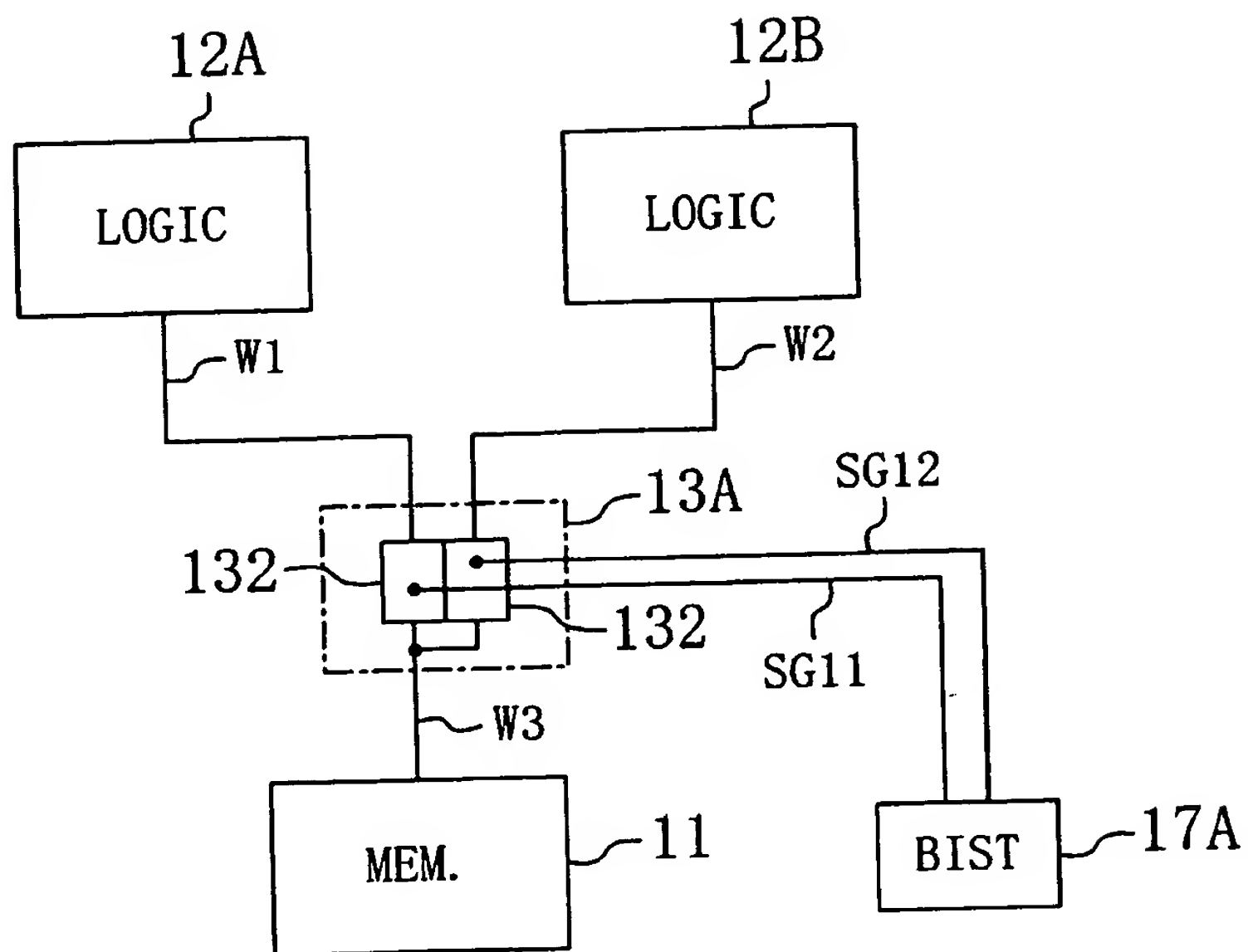
【図 5】



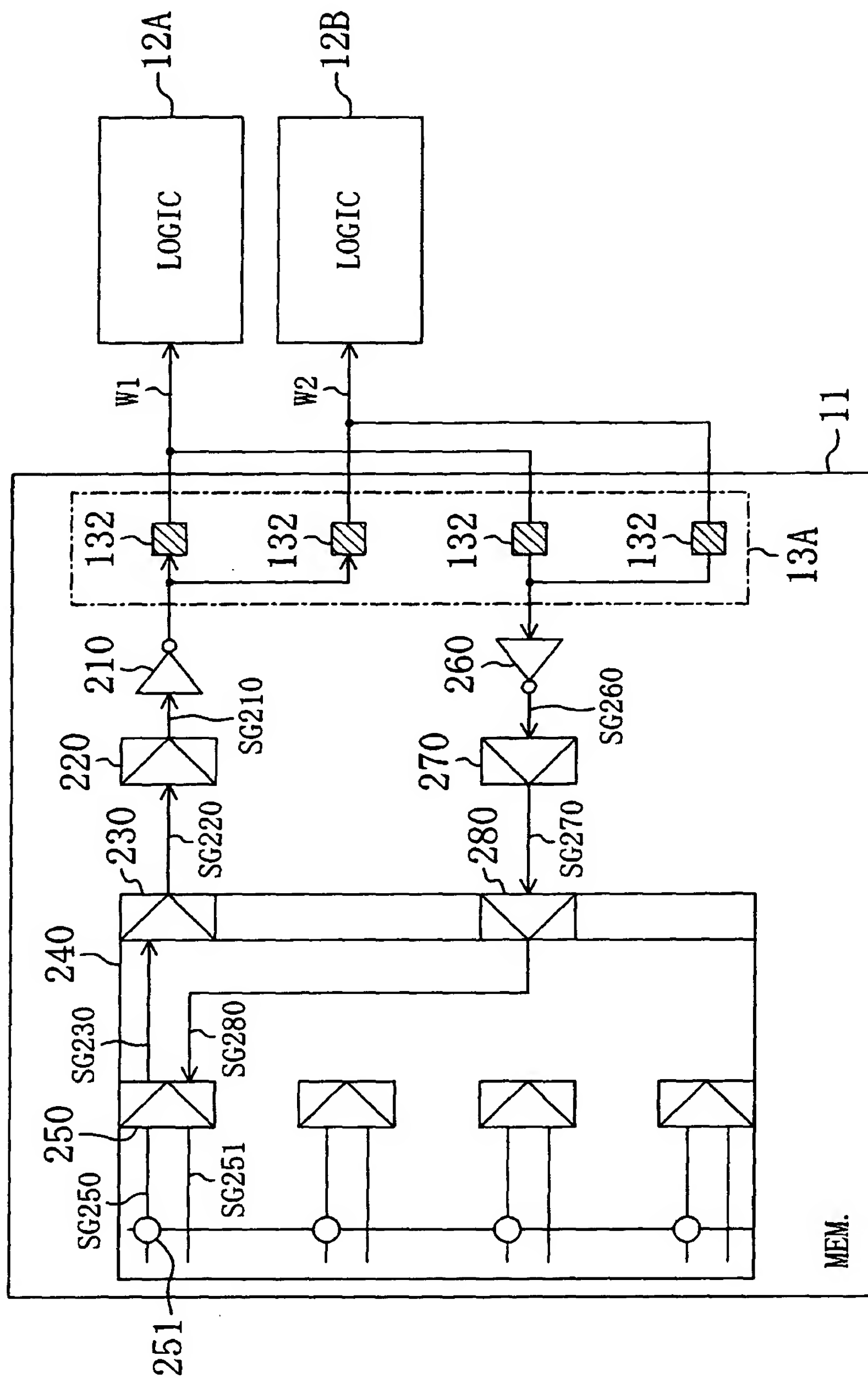
【図 6】



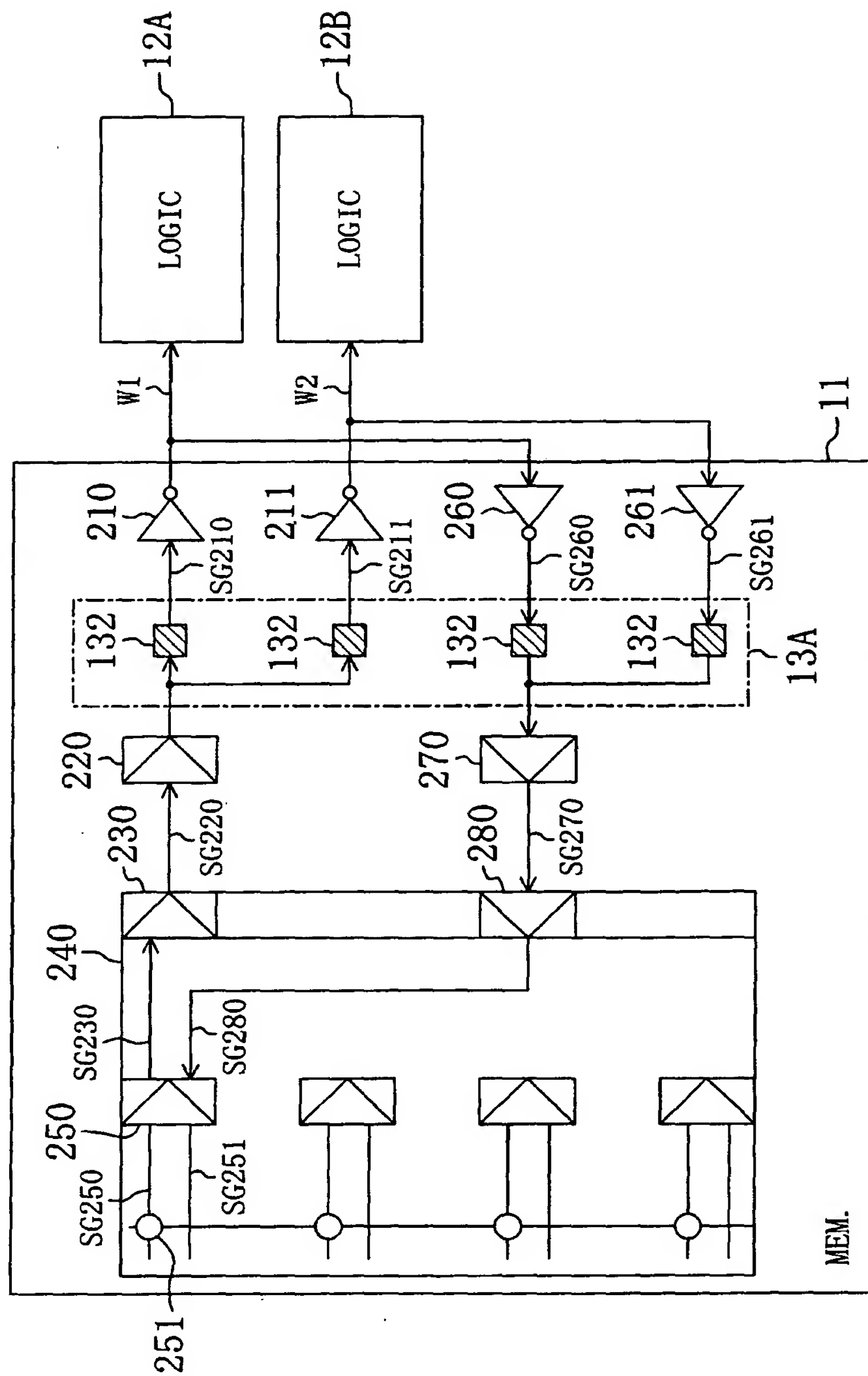
【図 7】



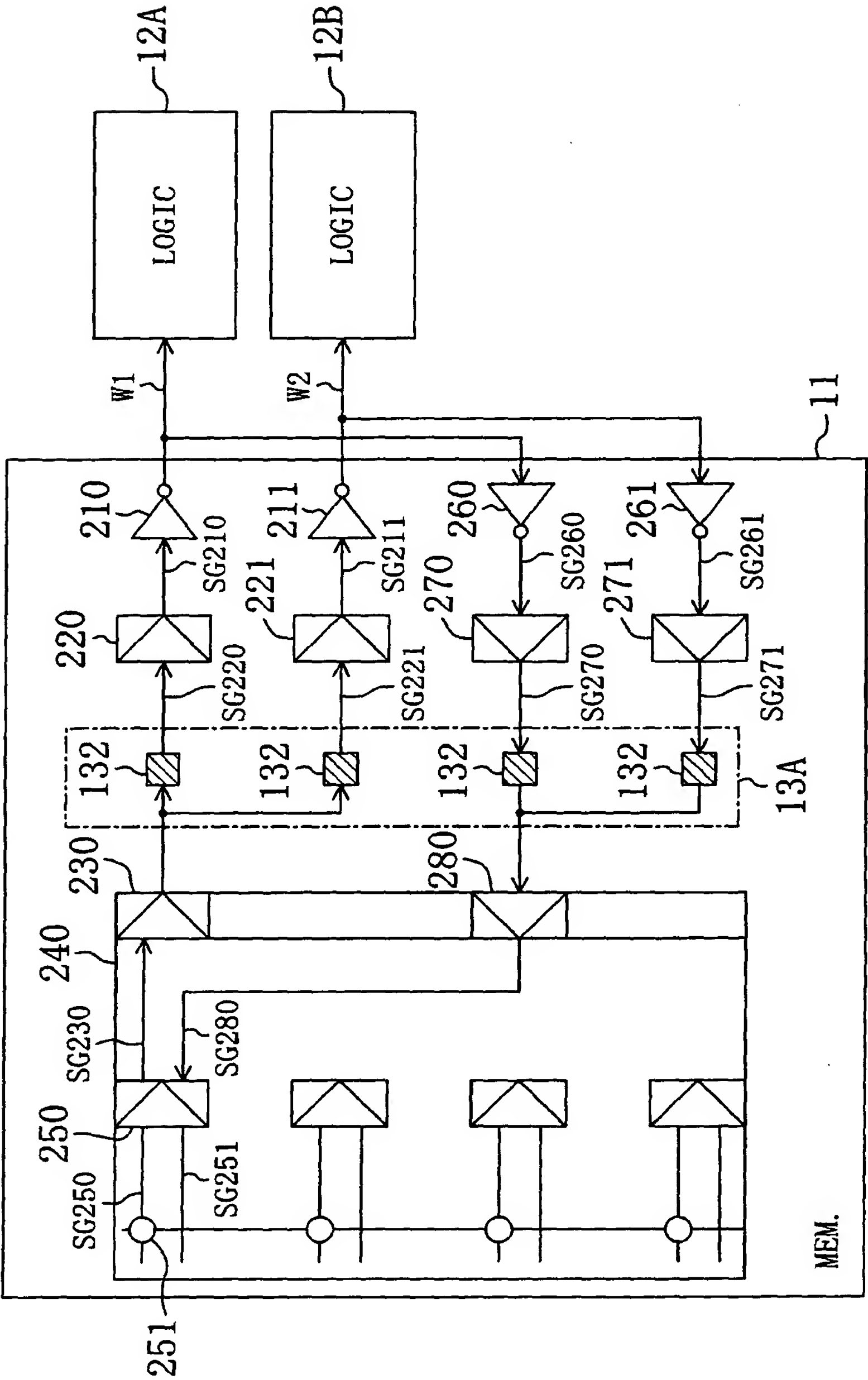
【図 8】



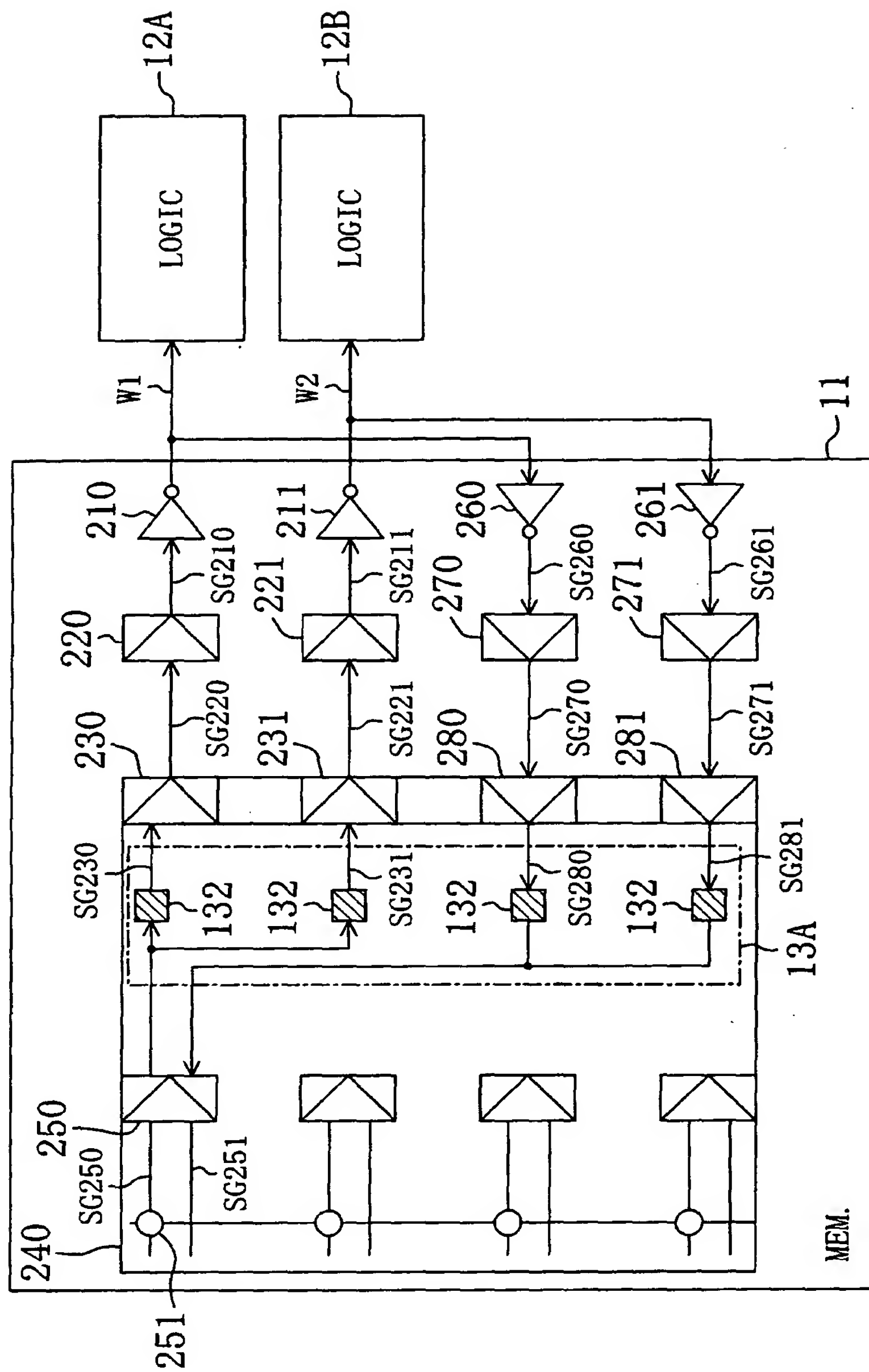
【图9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 メモリとデータ処理を行うロジック部とを混載した半導体集積回路の生産性および歩留りを向上する。

【解決手段】 半導体集積回路として、メモリ 1 1 と、メモリ 1 1 に接続可能な複数のロジック部 1 2 A, 1 2 B と、複数のロジック部 1 2 A, 1 2 B のいずれか 1 つをメモリ 1 1 に接続する一方、他のロジック部をメモリ 1 1 から切り離す切り離し部 1 3 とを備えたものとする。切り離し部 1 3 によって、複数のロジック部 1 2 A, 1 2 B のうち必要なもの 1 つがメモリ 1 1 に接続され、他の不要なものはメモリ 1 1 から切り離される。これにより、拡散後にシステム L S I を切り替えることができるので、一の露光用マスクから複数のシステム L S I の製造が可能となり、生産性が向上する。また、不良ロジック部の救済も可能となり、拡散工程の歩留りが向上する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社